

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Semiconductor integrated circuit equipment characterized by preparing the connection circuit containing the active element for connecting between the logical circuits in the semiconductor integrated circuit equipment of the above 2nd mutually in the semiconductor integrated circuit equipment of the above 1st in the semiconductor integrated circuit equipment which comes to carry two or more 2nd semiconductor integrated circuit equipments on the principal plane of the 1st semiconductor integrated circuit equipment.

[Claim 2] The number of the logic elements accumulated in semiconductor integrated circuit equipment according to claim 1 by the 1st integrated circuit device of the above is comparable as one of it in the semiconductor integrated circuit equipment of the above 2nd, or semiconductor integrated circuit equipment characterized by being less than [it].

[Claim 3] It is semiconductor integrated circuit equipment characterized by carrying the semiconductor integrated circuit equipment of the above 1st on a wiring substrate in semiconductor integrated circuit equipment according to claim 1 or 2, and making TAB connection of the semiconductor integrated circuit equipment and the above-mentioned wiring substrate of the above 1st.

[Claim 4] The semiconductor integrated circuit equipment of the above 1st is semiconductor integrated circuit equipment characterized by for thickness having a high density wiring layer 1 micrometer or less, and at least one or more layers and thickness having at least one or more layers of low resistance wiring layers 2 micrometers or more in general in semiconductor integrated circuit equipment according to claim 1 or 2.

[Claim 5] It is semiconductor integrated circuit equipment which wiring of the above-mentioned high density wiring layer uses aluminum as the ingredient, and is characterized by wiring of the above-mentioned low resistance wiring layer using copper as the ingredient in semiconductor integrated circuit equipment according to claim 4.

[Claim 6] The manufacture approach of the semiconductor integrated circuit equipment characterized by to form the 1st semiconductor integrated circuit equipment equipped with the circuit containing an active element, and the low resistance wiring layer, to form two or more 2nd semiconductor integrated circuit equipments which have a logical circuit respectively, to carry these on the principal

plane of said 1st semiconductor integrated circuit equipment, and to connect each logical circuit of the semiconductor integrated circuit equipment of the above 2nd through the above-mentioned circuit and the low resistance wiring layer of semiconductor integrated circuit equipment of the above 1st.

[Claim 7] It is the manufacture approach of the semiconductor integrated circuit equipment characterized by forming the above-mentioned low resistance wiring layer by metal plating in the manufacture approach of semiconductor integrated circuit equipment according to claim 6.

[Claim 8] It is the manufacture approach of the semiconductor integrated circuit equipment characterized by forming the above-mentioned low resistance wiring layer by coppering in the manufacture approach of semiconductor integrated circuit equipment according to claim 7.

[Claim 9] The computing system characterized by forming the above-mentioned instruction processing unit and the above-mentioned system control station in the semiconductor integrated circuit equipment which carried two or more 2nd semiconductor integrated circuit equipments on the principal plane of the 1st semiconductor integrated circuit equipment in the computing system equipped with an instruction processing unit, main storage, the I/O device, the input/output control unit to which this I/O device is connected, and the system control station which connects the above-mentioned instruction processing unit, the above-mentioned main storage, and the above-mentioned input/output control unit mutually.

[Claim 10] The computing system characterized by for the semiconductor integrated circuit equipment of the above 2nd having constituted the above-mentioned instruction processing unit, and forming the above-mentioned system control station in the semiconductor integrated circuit equipment of the above 1st further in a computing system according to claim 9.

[Claim 11] The computing system characterized by constituting a part of circuit which constitutes the above-mentioned system control station in the semiconductor integrated circuit equipment of the above 2nd in a computing system according to claim 9.

[Claim 12] The computing system characterized by forming in the semiconductor integrated circuit equipment of the above 1st the logical circuit on the signal path between the circuits in the above-mentioned instruction processing unit mounted in the 2nd semiconductor integrated circuit equipment of the above-mentioned plurality, and this signal path in a computing system according to claim 9, 10, or 11.

[Claim 13] The computing system characterized by forming in the semiconductor integrated circuit equipment of the above 1st the logical circuit on the signal path between [some] the above-mentioned instruction processing unit mounted in the 2nd semiconductor integrated circuit equipment of the above-mentioned plurality, and the above-mentioned system control station, and this signal path in a computing system according to claim 9 or 11.

[Claim 14] The computing system characterized by forming in the semiconductor integrated circuit equipment of the above 1st the logical circuit on the signal path which connects between the circuits in the above-mentioned system control station mounted in the 2nd semiconductor integrated circuit equipment of the above-mentioned plurality in a computing system according to claim 9 or 11, and this signal path.

[Claim 15] The computing system characterized by for the logical circuit on the signal path formed in the semiconductor integrated circuit equipment of the above 1st including the latch at least in the computing system according to claim 12, 13, or 14, and enabling pipeline transmission.

[Claim 16] The computing system characterized by having had two or more 1st semiconductor integrated circuit equipment which mounted the above-mentioned system control station in the computing system according to claim 9, 10, or 11, and connecting between each above-mentioned system control station mutually.

[Claim 17] The computing system characterized by constituting a part of circuit which constitutes the above-mentioned instruction processing unit and the above-mentioned system control station in the semiconductor integrated circuit equipment of the same above 2nd in a computing system according to claim 11.

[Claim 18] The computing system characterized by having constituted a part of circuit which constitutes the above-mentioned system control station in the computing system according to claim 11 in one of the 2nd semiconductor integrated circuit equipment of the above-mentioned plurality, and constituting the above-mentioned instruction processing unit in the semiconductor integrated circuit equipment of other above 2nd.

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the computing system using the manufacture approach and it further about the semiconductor integrated circuit equipment which was applied to semiconductor integrated circuit equipment, especially carried two or more semiconductor integrated circuit components on the large-sized integrated-circuit substrate.

[0002]

[Description of the Prior Art] First, the conventional mounting technology about a computing system is described. There is mounting stated to what is conventionally known as mounting technology of a large-sized general-purpose computer in for example, the Nikkei electronics and the December 10, 1990 issue (No.515) "mode of processing of a large-sized computer M-880 and a hardware technique." Mounting described here is closed by that to which one LSI chip is carried by face down on one ceramic wiring board through a solder bump, and is called the LSI package. What two or more LSI packages are carried on one ceramic wiring board through a solder bump, and is called the module is formed. By fitting the I/O pin constituted by the modular underside over the through hole constituted by the printed-circuit board, it is said that a module is carried on a printed-circuit board and forms the board. Hereafter, in this description, such mounting technology is produced using module mounting technology, a call, and the most advanced processing technique in a certain LSI by which the product from degree generosity is carried out, and LSI with the dimension of extent which can secure the yield in tolerance will be called an "LSI chip."

[0003] In module mounting technology, since an LSI chip is arranged on one flat surface of a ceramic wiring board, if the number of LSI chips increases, the area of a ceramic wiring board will increase, and there is an inclination for the wire length of wiring which connects between LSI chips to increase. When such long-distance wiring performs high speed signal transmission, in order to prevent an echo of the signal in the termination of wiring, it is necessary to perform adjustment transmission. Drawing 5 is the mimetic diagram showing the situation of the signal transmission in a module. For example, transmission of a 2d [of LSI chips] signal is performed via the wiring 101 on a ceramic wiring board from LSI chip2c. In this case, in order to prevent an echo in the input edge of 2d of LSI chips, a terminator 102 is needed for wiring 101.

[0004] Moreover, the approach using a wafer scale integrated circuit device as a means to realize mounting to high density further rather than module mounting technology is learned. Mounting higher-density than module mounting technology is expectable by accumulating two or more LSI on the same wafer using this wafer scale integrated circuit device, and performing wiring between LSI

on the same wafer. However, in a wafer scale integrated circuit device, even if there is a problem of the so-called yield that the defect generated in a process phase surely exists by a certain probability and it accumulates a circuit on high density, there is a problem that the probability to operate to satisfaction is very low. About this point, in the case of a design, the redundant logical circuit is beforehand arranged on the wafer, and the technique which avoids the defect generated in the process phase and is relieved is examined.

[0005] On the other hand, in JP,2-181465,A, it fixes vertically on a wafer, two or more LSI chips which excellent article inspection ended beforehand are mounted, and the mounting structure of the so-called hybrid type which raises the yield as a system which set the chip by the wafer of wafer scale integrated circuit device is proposed. According to this approach, it is advantageous in respect of the ability to carry out [detailed]-izing of the wiring pitch compared with module mounting technology, and raise mounting effectiveness.

[0006] Moreover, in another side and JP,3-69150,A, the LSI mounting structure which carries and carries out bonding of other one LSI on a certain LSI is indicated. According to this approach, between a certain LSI and LSI carried in it, since the wiring distance between LSI can be shortened while it can connect without minding a wiring substrate, actuation is accelerable.

[0007] Next, considering the conventional large-sized general purpose computer system, the computing system consists of two or more instruction processing units (= IP), two or more system control stations (= SC), one main storage (= MS), an input/output control unit (= IOP), and an I/O device (= IO). In each IP, activation of an instruction is performed and a program and data are stored in MS. IOP performs connection between IO and SC, and control of a data transfer, and IO outputs and inputs information on large capacity storage, such as a disk, extended storage, console terminal equipment, etc. Moreover, SC controls each IP and the connection condition of MS and IOP, and controls the data transfer between each equipment etc. In the comparatively small-scale computing system, IP may distribute and have the function of SC.

[0008] Although IP reads the data on MS frequently or writes them in MS, since data read-out and drawing speed of MS are slow compared with the instruction-processing rate of IP, although it is small capacity compared with MS, the cache storage which can perform read-out of high-speed data and writing is formed, and the counterpart of some data on MS is usually stored here by the end of today. When this cache storage is installed in IP or SC, it is called buffer SUTOREJI (=BS) and work-piece SUTOREJI (=WS), respectively. As a storage method of a computing system, there are 3 so-called hierarchy memory methods which BS and WS both form, and 2 so-called hierarchy memory methods which prepare only BS.

[0009] In the interior of IP, the control storage circuit (= CS) which stores the buffer circuit (= BU) which consists of a circuit which manages the instruction-processing circuit (= IU), BS, and it which read and decode an instruction, the arithmetic circuit (= EU) which performs activation of an instruction, and the micro program is located.

[0010] Actuation in a computing system is usually performed as follows. In IP, IU reads an operand from the register or BS which decodes a read-out instruction from BS and is in IU or EU according to the content of the decoding result of an instruction about the instruction which the program counter in the interior directs. Next, EU calculates according to the decoding result of an instruction using the operand by which reading appearance was carried out. At this time, a micro program is read from CS as control information for calculating. And the result of an operation is stored in a register or BS. In addition, a program counter is updated for every activation of an instruction.

[0011] IP repeats a series of above actuation, and executes the instruction. In many today's computer systems, if this the actuation of a series of is divided into some stages and one stage of a certain instruction is completed, by starting activation of that stage of the next instruction, a number instruction is made to overlap and is carrying out sequential execution. This is called the instruction-pipeline method (advanced-control method).

[0012] By the way, when it accesses and an instruction of a request and data are in BS although IP accesses an instruction and data into an instruction execution at BS for read-out or writing (=INBS), an instruction execution is performed as mentioned above, but when there is nothing to BS (=NIBS), it is interrupted and an instruction execution takes out a block transfer-request signal to WS.

[0013] Thus, since an instruction execution is interrupted when the instruction or data to the time of there being neither an instruction of a request nor data in BS when it accesses (NIBS), or a block transfer request do not exist (NIWS), the processing engine performance of a computing system is reduced.

[0014]

[Problem(s) to be Solved by the Invention] The circuit magnitude which can be carried in per module is increasing by high integration of the LSI chip by the advance of LSI technology, enlargement of the ceramic wiring board by improvement in a ceramic wiring board creation technique, and multilayering.

[0015] In the above-mentioned module mounting, in performing the signal transmission (= chip passage) between LSI chips, a signal follows the following wiring paths as it is between the LSI chips in the same module, and the time amount which the propagation on wiring takes becomes long.

1) Come out of 2 LSI chips which go via an output buffer, and come out of 4 LSI package which spreads wiring of 3 ceramic wiring boards which pass a solder bump. 6 solder bump who spreads wiring of 5 ceramic wiring boards which pass a solder bump is passed. To the pan which goes via 9 input buffers which pass 8 solder bump who spreads wiring of 7 ceramic wiring boards which enter into another LSI package, and enter into an LSI chip. Between the LSI chips in a module which is in the same board and is different, in transmitting a signal, the part of the above 5 is as follows.

5-1) Come out of the 5-2 module which spreads wiring of a ceramic substrate, and pass the 5-4 I/O pin which spreads wiring of the 5-3 printed circuit board which passes an I/O pin. The die length of the time amount (= chip passage time amount) required by these [1-9] which spread wiring of the 5-5 ceramic substrate which enters into a module. If it corresponds by about several times the maximum of the time amount to which the signal within an LSI chip is transmitted and sees about the breakdown of the die length of chip passage time amount. The time amount which the propagation on wiring like 3), 5 and 7, 5-1, 5-3, and 5-5 takes is comparable as the time amount which passage of an input output buffer, a solder bump, and an I/O pin takes. In order to make small time amount which the propagation on wiring takes, under the same mounting technology, it is most effective to shorten a wire length. However, since the LSI chip is superficially arranged on the wiring substrate when module mounting constitutes a computer system, the wire length of wiring which connects between LSI chips with the distance between LSI chips is decided, and since the distance between this LSI chip is determined with the dimension of the number of the LSI chip to connect, and the LSI chip itself, or the dimension of an LSI package, there is a limitation in compaction of a wire length further. This is the 1st technical problem which this invention tends to solve.

[0016] By the way, a demand that he wants to increase more the signal taken out from a module or the number of terminals for current supply with buildup of the circuit magnitude per module is becoming strong. However, the pitch of the terminal in module mounting technology cannot be made not much small on account of connection resilience with a ceramic substrate. For this reason, in module mounting technology, the so-called problem of the pin neck that the magnitude of equipment which it is going to realize will be decided with the number of terminals in which ejection is possible is becoming large gradually. This point poses a still bigger problem by mounting of equipment which the signal line from other equipments concentrates like system control station SC in the computing system of a primary-storage share mold with two or more instruction processing units. This is the 2nd technical problem which is going to solve this invention.

[0017] Moreover, in time amount when carrying out a signal transmission, until the standup of a signal or the reflected wave of falling time amount and a signal generally returns to a sending end, when latter one is long (i.e., when it is long-distance wiring), it is necessary to carry out adjustment transmission using a terminator. In module mounting technology, in order to carry out adjustment transmission of the signal transmitted in between LSI, there is a problem that a terminator is indispensable and quite big power is consumed by this terminator for every wiring. This is the 3rd technical problem which is going to solve this invention.

[0018] On the other hand, the wafer scale integrated-circuit technique is examined as a technique of realizing high integration further, rather than module mounting technology. For example, it

assumes accumulating four sets of IP, SCs, etc. on one wafer scale integrated circuit device. At this time, the signal terminal which should be picked out from this wafer scale integrated circuit device decreases, and the problem of a pin neck is substantially eased compared with the case of the above-mentioned module mounting technology. However, as compared with wiring on an LSI chip, long wiring of wiring distance of wiring on a wafer scale integrated circuit device increases in number. It increases, the time delay, i.e., the wiring time delay, of the transmission signal with which long-distance wiring is decided by the product of wiring resistance and wiring capacity by wiring resistance becoming large. Therefore, there is a problem that the engine performance of a circuit will fall as compared with module mounting technology. Moreover, the electrical-potential-difference drop by using large wiring of resistance for feed also poses a problem. This is the 4th technical problem which is going to solve this invention.

[0019] Moreover, in the conventional wafer scale integrated circuit device, after carrying out the device which secures the yield by a redundancy circuit etc., in order to obtain the accumulation consistency of a component comparable as LSI, there is a trouble that it is difficult to raise the accumulation consistency as a circuit. This is the 5th technical problem which is going to solve this invention.

[0020] By the way, when a computing system is constituted, the degradation from which NIBS (there is neither an instruction of a request nor data when it accesses) which happens into an instruction execution, NIWS (neither an instruction nor data exists in work-piece storage at the time of a transfer request), etc. become a cause poses a problem. It is the 6th technical problem of this invention to make the degradation accompanying such an overhead mitigate.

[0021] Moreover, although it constitutes IU, EU and BS, and CS for another chip with the degree of integration of an LSI chip in many cases in constituting IP from a number chip, the processing engine performance of a computing system is restricted for the access time to IU, BS from EU, or CS by the ***** in that case. This is the 7th technical problem which is going to solve this invention.

[0022]

[Means for Solving the Problem] In order to solve the 1st-2nd and 3rd technical problems of the above, the semiconductor integrated circuit equipment or the computer system of this invention prepares large-sized LSI which accumulated the active element instead of the ceramic wiring board in module mounting technology, carries two or more LSI chips on this, and is constituted by connecting mutually through an active element.

[0023] Moreover, in order to solve the 4th technical problem of the above, wiring on large-sized LSI in the semiconductor integrated circuit equipment of this invention is constituted so that it may become thicker than wiring on the conventional LSI, so that resistance of the hit by unit length may become low that is,. Moreover, as a means to form the thick wiring, the plating process which uses metals, such as copper, as a plating ingredient is used.

[0024] Furthermore, in order to solve the 5th technical problem of the above, the semiconductor integrated circuit equipment of this invention is almost comparable as the number of circuit elements accumulated on one usual LSI, or lessens the number of circuit elements accumulated on large-sized LSI. Or the limit to wiring width of face and wiring spacing is loosened.

[0025] Moreover, in order to solve the 6th technical problem, the computing system of 3 hierarchy memory methods is constituted as follows. One IP (instruction processing unit) is constituted in the one above-mentioned LSI chip, WS is installed in an LSI chip, these LSI chips are carried on the principal plane of the above-mentioned large-sized LSI, and the mediation circuit, WAA, the control circuit, RA-LCA-LKA-FLKA-FAA-EXA, etc. which is a circuit in SC (system control station) are installed in the above-mentioned large-sized LSI. And the signal wiring which sends data to IP is constituted from WS in large-sized LSI, and a latch is constituted on the signal wiring (in addition, detail of each circuit is given in an example).

[0026] Moreover, in order to solve the 7th technical problem, as the configuration approach of IP, IU and EU are constituted in one LSI chip, BS and CS are constituted in another LSI chip, such LSI is carried on the principal plane of LSI of the above-mentioned large mold, the signal wiring which sends data to an instruction processing unit IP from BS or CS is constituted in large-sized LSI, and a latch is constituted on the signal wiring.

[0027]

[Function] When between the above-mentioned LSI chips is electrically connected with the above-mentioned large-sized LSI through an active element, the signal transmission between these two LSI is as follows.

1) It is got blocked and there is nothing that go via 3 input buffers which pass pins, such as 2 solder bump who goes via an output buffer, and for which a signal spreads wiring on a wiring substrate as compared with the case of module mounting. Chip passage time amount of a signal can be set to several [of the chip passage time amount in module mounting / 1/] by this.

[0028] Moreover, since a signal pin can be arranged by carrying LSI on large-sized LSI and connecting to the touching field, concentration of the signal pin in four sides of large-sized LSI can be eased.

[0029] Since a buffer, a latch, etc. can be prepared in the middle of signal wiring using the active element accumulated on large-sized LSI, it can shorten until the need for adjustment transmission of the die length of wiring which should be transmitted is lost. Therefore, a terminator can be lost.

[0030] Wiring of low resistance on large-sized LSI can be constituted by on the other hand forming wiring thicker than wiring used for large-sized LSI by the LSI chip.

[0031] Moreover, the yield of large-sized LSI is securable by comparable [as the number of circuit elements of one LSI / almost] or making into less than [it] the number of circuit elements accumulated on large-sized LSI.

[0032] Although it was only wiring on the substrate in which an LSI chip is carried when it was the conventional module mounting, in this invention, by having an active element, a mediation circuit, WAA, etc. can be arranged on the conventional IP and the transmission line between WS, and starting of WS can carry out to a high speed conventionally, and a line transfer-request signal can also be generated at a high speed. Moreover, when IP performs a store demand and RESETLOCK to SC, high-speed processing can be similarly performed about the case where coincidence control of the content of BS between different IP and the content between WS of a different SC is performed.

[0033] Moreover, between the LSI chips carried on large-sized LSI, it becomes possible by constituting the wiring in large-sized LSI to constitute a latch on wiring. By constituting a latch, pipeline transmission can be performed and the throughput of wiring can be raised.

[0034] Moreover, by carrying the LSI chip which constitutes IU and EU for IP, and another LSI chip which constitutes BS and CS on large-sized LSI, and preparing a latch on the signal line between both LSI Pipeline transmission can be performed with wiring between IU, or EU and BS, or wiring between IU, or EU and CS, and it can ease that the engine performance of a computing system is restricted by the access time to IU, BS from EU, or CS, and the throughput of wiring can be raised.

[0035]

[Example] Hereafter, this invention is explained to a detail using a drawing. Drawing 1 is general-view drawing showing the 1st example of the semiconductor integrated circuit equipment in this invention. The sectional view in the A-A' part in the semiconductor integrated circuit equipment shown in drawing 1 is shown in drawing 2.

[0036] In drawing, 1 is large-sized LSI (= large-sized LSI) of the dimension which can carry two or more LSI chips on a principal plane, and the circuit element is formed in the interior. Large-sized LSI1 is carried on the wiring substrate 5, and wiring formed in the circuit element and the wiring substrate 5 in large-sized LSI is electrically connected by the TAB (tape automation TIDO bonding) lead 3. Moreover, on the principal plane of large-sized LSI1, six LSI chip 2 I, 2 RO, 2 Ha, 2 NI, 2 HO, and 2 HE are carried by the face down. And the circuit element in large-sized LSI1 and the circuit element in LSI chip 2 are electrically connected by the solder bump electrode 4 if needed. According to such structure, the time amount which the signal transmission in the meantime takes large-sized LSI and the LSI chip carried on it drops to several [of the time amount which the signal transmission during the chip in the usual module mounting takes / 1/].

[0037] When between the above-mentioned LSI chips is electrically connected with the above-mentioned large-sized LSI using a solder bump, the signal transmission between these two LSI is as follows.

1) It is got blocked and there is nothing that go via 3 input buffers which pass pins, such as 2 solder bump who goes via an output buffer, and for which a signal spreads wiring on a wiring substrate as compared with the case of module mounting. Chip passage time amount of a signal can be set to

several [of the chip passage time amount in module mounting / 1/] by this.

[0038] In this example, 2 RO, -2 Ha, 2 NI, 2 HO, and 2 HE are LSI chip 2 I and an LSI chip usually used, for example, is the integrated circuit device of a dimension the angle of 20mm. Moreover, large-sized LSI1 is an integrated circuit device which has the principal plane of a big area of 50mmx70mm LSI chip 2 I and since more than one are carried [HE / -2 Ha, 2 NI, 2 HO, / 2] 2 RO. For this reason, it is possible to make [many] the number of pins by large-sized LSI as compared with an LSI chip. Moreover, although the number of LSI chips is made into six pieces in this example, it does not necessarily limit to six pieces.

[0039] The circuit element of the same number or the number not more than it is mostly accumulated on large-sized LSI1 with the number of the circuit elements accumulated on one LSI chip (for example, 2 I). On an integrated circuit device, when a defect thinks that it is distributed uniformly, by restricting the number of the circuit element formed in large-sized LSI1 in this way, it is equal to the probability for a defect to occur in the logical circuit on LSI chip 2 I, or the probability for a defect to occur in the logical circuit on large-sized LSI1 can be made into less than [it]. Furthermore, as mentioned above, since large-sized LSI1 has I twice [at least / more than] the area of LSI chip 2, the number of circuit elements per unit area of large-sized LSI1 becomes things fewer than the number of circuit elements per unit area of LSI chip 2 I. For this reason, constraint to the width of face of wiring formed in large-sized LSI1 or spacing can be made looser than that of LSI chip 2 I. Therefore, by large-sized LSI1 in this example, the yield which poses a problem with the semiconductor integrated circuit equipment which has a large area is securable.

[0040] Now, with such semiconductor integrated circuit equipment of a large area, although it considers that the dimension 50mmx70mm integrated circuit mentioned above as large-sized LSI1 by this example, as formed in long-distance wiring, i.e., a conventional ceramic wiring board and a conventional printed-circuit board, rather than wiring in an LSI chip, wiring longer than the die length of the diagonal line of LSI chips 2I-2HE is needed.

[0041] Usually, wiring formed in an LSI chip is detailed aluminum wiring, and its wiring resistance per unit length is strong as compared with wiring formed in a ceramic wiring board or a printed-circuit board. Therefore, like before, if long-distance wiring on large-sized LSI1 is constituted using detailed aluminum wiring, the wiring resistance will become bigger than wiring resistance of a ceramic wiring board or a printed-circuit board. Furthermore, since transit delay time amount is decided by the product of wiring resistance and wiring capacity, its transit delay time amount will also increase in detailed aluminum wiring. Therefore, if only the conventional detailed aluminum wiring is used as wiring in large-sized LSI1, the engine performance of the logical circuit formed in large-sized LSI1 will fall rather than the engine performance of the logical circuit formed in LSI chip 2 I, or the logical circuit by module mounting technology.

[0042] In order to improve such a trouble, in this example, metals, such as copper, are used as a wiring material and thick wiring of thickness is formed in large-sized LSI1, for example. since it can form using a plating process etc., copper wiring can form the thick film several micrometers or more, compared with aluminum wiring, can boil wiring resistance markedly and can lower it. Wiring using such copper is called thick-film copper wiring in this description. By preparing at least one or more layers of thick-film copper wiring, and constituting long-distance wiring on large-sized LSI1, long-distance wiring in large-sized LSI1 can be formed into low resistance, and transit delay time amount can be shortened. Furthermore, power can also be efficiently supplied by using this thick-film copper wiring not only for signal wiring but for power-source feed.

[0043] Drawing 3 is the mimetic diagram showing the situation of the cross section of the semiconductor integrated circuit equipment by the 2nd example of the semiconductor integrated circuit equipment of this invention. In this example, in large-sized LSI1 in the 1st example, between both LSI chips is connected and the network logical circuit for changing is formed. 101 is signal wiring which connects between the signal terminals of the LSI chip formed in large-sized LSI1. The buffer 100 is formed in the suitable part of signal wiring 101, for example, the output signal from LSI chip2a is relayed by this buffer 100 formed in large-sized LSI1, and is transmitted to LSI chip 2b.

[0044] In addition, as a buffer 100, C-MOS circuit as shown, for example in drawing 4 constitutes.

[0045] In the conventional module mounting technology, as shown in drawing 5 , the signal

outputted from LSI chip2c is transmitted to 2d of LSI chips via the signal wiring 101 on a ceramic wiring board. Transmission of such a signal is performed by adjustment transmission in order to lose the effect of the echo in a wiring edge. Usually, in adjustment transmission, a terminator 102 is needed. Although terminator 102 itself is the important components which prevent an echo of a signal, when the potential of the signal wiring 101 on a substrate is in a steady state except zero, useless power will be consumed by the terminator regardless of a signal transmission.

[0046] It becomes unnecessary on the other hand, according to this example, to be able to divide short until the adverse effect according the signal wiring 101 between LSI chip2a and 2b to an echo is lost, and to use adjustment transmission for the signal wiring between LSI chips with a buffer 100. For this reason, consumption of the useless power in a terminator can be lost and the power consumption of semiconductor integrated circuit equipment can be reduced. Here, it says shortening signal wiring so that the direction of time amount until the reflected wave of a signal returns signal wiring from the standup of "shortening until the adverse effect by echo is lost, i.e., a signal," or falling time amount to a sending end may become short.

[0047] Drawing 6 shows an example of the simulation result of having compared time amount like drawing 3 the transfer lag total of the transmission approach of this invention using a buffer, and the conventional transmission approach by mere wiring like drawing 5. In addition, the simulation conditions are as follows.

current [of the 0.3 micrometer rule CMOS LSIp mold FET] between source drains: -- current [of 7.5mA molds FET] between source drains: -- 3.8mA wiring resistance: 15-ohm [/mm] wiring capacity: -- if the die length of wiring from 2a in drawing 3 to 2b becomes about 15mm or more according to 0.22pF [/mm] drawing 6, it is clear that to transmit using a buffer is more more nearly high-speed.

[0048] Drawing 7 is the mimetic diagram showing the situation of the cross section of the semiconductor integrated circuit equipment by the 3rd example of the semiconductor integrated circuit equipment of this invention.

[0049] In this example, the output signal of LSI chip 2e is transmitted to 2f of LSI chips by the signal wiring 101 formed in large-sized LSI1, for example. The buffer 100, the latch 103, etc. are stationed in the middle of signal wiring 101. The clock signal is too supplied to the latch 103 from the clock distribution wiring 104 formed in large-sized LSI1.

[0050] The output signal from LSI chip2e is inputted into latch 103, and is latched synchronizing with the clock signal supplied from the clock distribution wiring 104 in large-sized LSI1. And latch's 103 output is inputted into 2f of LSI chips. In the output latch (not shown) for latching the output signal formed in LSI chip 2e, the latch (not shown) who receives the input signal formed in 2f of LSI chips, and latch 103, it synchronizes with the clock signal distributed with the clock distribution wiring 104, and operates. Thus, the so-called pipeline transmission is attained by stationing latch 103 to a signal-transmission on the street. What is necessary is just to carry out the signal transmission only of the distance for the one section of the transmission line divided by the latch between one clocks, in order for latch 103 to divide a 2f transmission line from LSI chip2e. In this example, although one latch 103 is dividing the transmission line into two, it is also possible to prepare two or more steps of latches on the transmission line in large-sized LSI1, and to shorten distance for the one section further. A signal transmission can be carried out now using a clock signal with a short period by shortening distance of the one section on a transmission line.

[0051] On the other hand, it is difficult to have to transmit the transmission line from LSI chip2c in drawing 4 to 2d with one clock, therefore to shorten the period of a clock in the conventional module mounting, for example.

[0052] In addition, although omitted by drawing 3 and drawing 7 from drawing 1, when generation of heat of an LSI chip poses a problem, the fin for cooling or the structure for water cooling will be attached in the tooth back (field of the opposite hand of the field which forms a solder bump) of LSI chip 2 I - HE.

[0053] Furthermore, the general purpose computer system of the multiprocessor mold which consists of two or more instruction processing units which share a primary storage mutually as an example of the system which applied the above semiconductor integrated circuit equipments is considered. An example of the configuration of the general purpose computer system of such a

multiprocessor mold is shown in drawing 8. For an instruction processing unit (IP) and 1001, as for a cache memory apparatus and 1003, in drawing, the logical circuit part of a system control station and 1002 are [1000 / main storage and 1004] I/O devices. In addition, the I/O device may be connected with system control through the input/output control unit.

[0054] First, each equipment is explained. An instruction processing unit 1000 reads an instruction and data from main storage 1003, interprets and executes an instruction, and repeats actuation of as a result returning carrier beam data for modification to main storage. The cache memory apparatus 1002 is the memory more nearly accessible than main storage 1003 at a high speed, and holds some counterparts in main storage 1003. An instruction processing unit 1000 accesses the cache memory apparatus 1002, without carrying out direct access of the main storage 1003. Thereby, access to main storage 1003 is accelerable seemingly.

[0055] The logical circuit part 1001 of a system control station controls the connection condition between each instruction processing unit 1000, and the cache memory apparatus 1002 and I/O device 1004, and controls access sequence. Moreover, exchange of the content with the cache memory apparatus 1002 and main storage 1003 and coincidence control of the content are also performed. Main storage 1003 stores the instruction and data which are processed with an instruction processing unit 1000. I/O device 1004 outputs and inputs information on large capacity storage, such as a disk, extended storage, console terminal equipment, etc.

[0056] In this example, the logical circuit part 1001 and the cache memory apparatus 1002 of a system control station are accumulated on large-sized LSI1 explained, for example in the example 1. One LSI chip 2 (when there is no need of distinguishing LSI chip 2 I - HE below, it will only be called an LSI chip.) By using, constituting one set of an instruction processing unit 1000, carrying four LSI chips 2 in large-sized LSI1, and connecting The instruction processing unit 1000 of the general purpose computer system of the above-mentioned multiprocessor mold, the logical circuit part 1001 of a system control station, and the cache memory apparatus 1002 are constituted. Thus, the general purpose computer system of the multiprocessor mold which consists of two or more instruction processing units which share a primary storage mutually is constituted combining the constituted semiconductor integrated circuit equipment, main storage 1003, I/O device 1004, etc. Furthermore, the general purpose computer system of the multiprocessor mold which consists of many instruction processing units more is also realizable by preparing two or more such general purpose computer systems, and connecting between the logical circuit parts 1001 of each system control station.

[0057] By the way, the signal line of a large number from an instruction processing unit 1000, main storage 1003, I/O device 1004, an alien-system control unit, etc. focuses on the logical circuit part 1001 of a system control station. In integrating a system control station for such a property and realizing, how the signal pin of a large quantity is taken out poses a problem.

[0058] In this invention, an instruction processing unit 1000 is constituted from LSI chip 2, and this is carried on large-sized LSI1 which accumulated the logical circuit part 1001 of a system control station. By this configuration, it becomes possible to apply the FEISU downing method for using for example, a solder bump electrode for connection between LSI chip 2 and large-sized LSI1, and a signal pin can be arranged to the field where large-sized LSI1 and LSI chip 2 face each other. For this reason, the signal pin prepared in four sides of large-sized LSI1 can be restricted to a thing required for connection with main storage 1003 and I/O device 1004, and it becomes possible to ease concentration of the signal pin in four sides. Therefore, the limit to the magnitude of the whole system by limit of the number of signal pins which was described above will be eased.

[0059] Moreover, the logical circuit part 1001 of a system control station is accumulated on large-sized LSI1, one set of an instruction processing unit 1000 is constituted per LSI chip 2, further, at least one or more LSI chips 2 constitute the cache memory apparatus 1002, and the semiconductor integrated circuit equipment which carries all above LSI chips 2 in large-sized LSI1, and is connected is constituted. In addition, a part of cache memory apparatus 1002 may be accumulated into large-sized LSI1.

[0060] The general purpose computer system of the multiprocessor mold which consists of two or more instruction processing units which share a primary storage mutually is constituted combining such semiconductor integrated circuit equipment, main storage 1003, I/O device 1004, etc.

Furthermore, the general purpose computer system of the multiprocessor mold which consists of many instruction processing units more is also realizable like the 1st example of a configuration by connecting two or more above-mentioned general purpose computer systems. By taking such a configuration, the amount of the circuit accumulated on large-sized LSI1 can be reduced, and the yield of large-sized LSI1 can be raised.

[0061] Moreover, as the configuration approach of the general purpose computer system which applied this invention, the logical circuit part 1001 and the cache memory apparatus 1002 of a system control station are accumulated on large-sized LSI1, the semiconductor integrated circuit which carries two or more LSI chips 2 in large-sized LSI1, and is connected is constituted, and the general purpose computer system of the multiprocessor mold which consists of two or more instruction processing units which share a primary storage mutually further combining this semiconductor integrated circuit equipment, main storage 1003, I/O device 1004, etc. is constituted. Furthermore, the general purpose computer system of the multiprocessor mold which consists of many instruction processing units more is also realizable like the above mentioned example of a configuration by connecting two or more above-mentioned general purpose computer systems. Also when one set of an instruction processing unit 1000 is constituted from two or more LSI chips by such configuration, it can respond by it.

[0062] Furthermore, the logical circuit part 1001 of a system control station is accumulated on large-sized LSI1 as the configuration approach of a general purpose computer system. At least one or more instruction processing units 1000 constituted by two or more LSI chips 2 are prepared. At least one or more LSI chips 2 constitute the cache memory apparatus 1002, and the semiconductor integrated circuit equipment which carries all above LSI chips 2 in large-sized LSI1, and is connected is constituted. Further This semiconductor integrated circuit equipment, The general purpose computer system of the multiprocessor mold which consists of two or more instruction processing units which share a primary storage mutually can be constituted combining main storage 1003, I/O device 1004, etc. In addition, a part of circuit of the cache memory apparatus 1002 may be accumulated into large-sized LSI1. Furthermore, the general purpose computer system of the multiprocessor mold which consists of many instruction processing units more is also realizable like the above mentioned example by connecting two or more above-mentioned general purpose computer systems.

[0063] Also when one set of an instruction processing unit 1000 is constituted from two or more LSI1 chips by such configuration, it can respond by it. Moreover, the amount of the circuit accumulated into large-sized LSI1 can be reduced, and the yield of large-sized LSI1 can be raised.

[0064] Next, the example of the computing system which applied the semiconductor integrated circuit equipment shown in drawing 8 is explained more to a detail. That is, the computing system of the multiprocessor mold which consists of two or more instruction processing units which share a primary storage mutually is taken up, and the mounting approach is explained using a drawing.

[0065] First, the 1st mounting approach is explained using drawing 9. The circuit part excluding inner WS of the circuit in SC2000 to large-sized LSI1 explained in the 1st example of semiconductor integrated circuit equipment (henceforth) calling it SC logic section -- carrying out -- it is accumulated and one set of IP is constituted per LSI chip, further, at least one or more LSI chips constitute WS2050, and the semiconductor integrated circuit equipment which carries all the above LSI chips in large-sized LSI1, and is connected is constituted. In addition, a part of circuit of WS2050 may be accumulated into large-sized LSI1.

[0066] For example, as shown in drawing 9, IP and SC are mounted. Namely, FAA 2010-2013 (2011-2013 are not shown) which is the logic section of SC, WAA2020, RA2021, LCA2022, EXA2023, LKA2030, FLKA2031, the mediation circuit 2040, and a control circuit 2041 the inside of large-sized LSI1 -- installing -- four sets of IP 1000-1100-1200-1300 -- respectively -- an LSI chip -- it constitutes in 2 I, 2 RO, 2 Ha, and 2 NI, and WS2050 is installed in two LSI chip 2 HO and 2 HE. And six LSI chip 2 I, 2 RO, 2 Ha, 2 NI, 2 HO, and 2 HE are carried on large-sized LSI1. Between an LSI chip and large-sized LSI, the solder bump 4 connects electrically and a signal transmission has come be made in 1 clock period. Moreover, in large-sized LSI, the instruction between WS2050 and BS1043 and transmission-signal wiring of data are formed in large-sized LSI, and if required, latch 103a will be formed on the signal wiring.

[0067] Here, each circuit inside SC is explained. It is the circuit which chooses one processing demand signal according to the priority it is beforehand decided that will be a mediation circuit when the processing demand signal sent to a system control station from two or more instruction processing units is received, it stores temporarily and two or more unsettled processing demand signals are being stored, generates a suitable processing demand signal, and is sent out to a suitable circuit apparatus. Moreover, it is the thing of a cache directory store work-piece SUTOREJI address array in WAA. Moreover, a control circuit is a circuit which mainly performs control in a system control station. Moreover, RA is a replacement array and is storage which stores the information used in order to determine with which data on work-piece SUTOREJI the data on work-piece SUTOREJI should be replaced when performing the another data and the another exchange on a primary storage. Moreover, LCA is a line change bit array and is storage which stores the information used in order to judge whether the data on work-piece SUTOREJI were changed.

[0068] Moreover, in LKA, it is Locke Alley's thing and a certain instruction processing unit is the storage which stores the address which forbids access of other instruction processing units to a certain data area on a primary storage. Moreover, FLKA is front Locke Alley and the instruction processing unit connected to the alien-system control device is the storage which stores the address which forbids access of the instruction processing unit to a certain data area on a primary storage. Moreover, it is equipment which has the store which stores the information used in order to determine whether exist on cache-storage buffer SUTOREJI which is the thing of a front address array in FAA, and has a certain data in an instruction processing unit, and the circuit apparatus which sends a block nullification demand signal to the instruction processing unit with which data exist. Moreover, in EXA, it is the thing of an IKUSUKURUSHIBUBITTO array and is the storage which stores the information used in order to determine whether exist on buffer SUTOREJI in the instruction processing unit by which a certain data are connected to the work-piece SUTOREJI top in an alien-system control device, or the alien-system control device.

[0069] Such semiconductor integrated circuit equipment, and MS3000 and IOP4000 are connected through wiring on TAB3 or a substrate, and the computing system of the multiprocessor mold which consists of two or more instruction processing units which share a primary storage mutually is constituted. Moreover, the computing system of the multiprocessor mold which consists of many instruction processing units more is also realizable by connecting two or more above-mentioned semiconductor integrated circuit equipments through wiring on TAB3 or a substrate.

[0070] The signal line of a large number from IP 1000-1100-1200-1300, WS2050, MS3000 and IOP4000, other SCs2100, etc. focuses on SC logic section. Since it is such, in integrating SC to one LSI chip and realizing, it is necessary for the LSI chip to constitute the signal pin of a large quantity.

[0071] However, when accumulating and constituting to large-sized LSI is considered, the face downing method for having used flip chip bonding for connection between large-sized LSI and the substrate in which such large-sized LSI is carried cannot be applied. It is because large-sized LSI has the large strain which originates in thermal expansion and starts a solder bump electrode since it has the area of several times or more of LSI usually used and possibility that a solder bump will be destroyed is high. For this reason, a signal pin can be taken out only from those four sides by the wire bonding from large-sized LSI, or TAB. If a large-sized LSI chip realizes SC logic section like the mounting approach of the above 1st, other numbers and magnitude of equipment connectable with SC2000 will be restricted by the upper limit of the number of signal pins in which ejection is possible in this way.

[0072] In this invention, IP 1000-1100-1200-1300 is constituted from LSI chip 2 I, 2 RO, 2 Ha, and 2 NI, further, WS2050 is constituted from LSI chip 2 HO and 2 HE, and these LSI chips are carried on large-sized LSI1 which accumulated SC logic section. By this configuration, it becomes possible to apply the face downing method for using for example, a solder bump electrode for connection between LSI chip 2 I, 2 RO, 2 Ha and 2 NI, and large-sized LSI1, and a signal pin can be arranged to the field where large-sized LSI1 and LSI chips 2I-2HE face each other. For this reason, the signal pin prepared in four sides of large-sized LSI1 can be restricted to a thing required for connection with SC2100, MS3000, and IOP4000, and it becomes possible to ease concentration of the signal pin in four sides. Therefore, the limit to the magnitude of the whole system by limit of the number of signal pins which was described above will be eased.

[0073] Next, only using the LSI chip which has the same chip engine performance about LSI, the degree of integration, and wiring and gate delay of this mounting approach, in order to clarify effectiveness of this mounting approach more, when the conventional method carries out module mounting, the mounting approach of an about and its actuation will be described.

[0074] The mounting approach of the computing system of the conventional method at the time of using only an LSI chip for drawing 17 and 18, and carrying out module mounting is shown. Since large-sized LSI1 and LSI chips 2I-2HE which are used by this invention have the comparable degree of integration, in module mounting, it becomes LSI chip 5001 and LSI chips 5002-5007, respectively (although the case where large-sized LSI is not only transposed to an LSI chip can be considered since LSI which constitutes SC logic section has many pins and it is required for it as stated in the top, it is assumed that the number of pins comparable as large-sized LSI can be formed here). That is, if it explains using drawing 17, IP 1000-1100-1200-1300 is constituted in LSI chip 5002-5003-5004-5005, respectively, SC logic section is constituted in LSI chip 5001, and WS2050 is constituted in LSI chip 5006-5007. The interior of IP and SC logic section is shown in a detail at drawing 18 (however, IP01, WS1, and FAA 2011-2013 are omitting). These LSI chips 5001-5007 are carried on wiring and the wiring substrate with which only resistance is constituted of a ceramic wiring board etc., and latch 103a in drawing 9 cannot form them. The LSI chip and the wiring substrate are electrically connected by pins, such as a solder bump. As stated above "an operation", the time amount which a chip passage takes in this module mounting will be large-sized LSI in this example, and several times the chip passage time amount between LSI chips, and presupposes that they are 2 clock periods here.

[0075] Next, the concrete actuation in module mounting is explained using the configuration of the computer system of a timing diagram and drawing 18 shown in drawing 19 -21.

[0076] first, reading appearance of drawing 19 is used and carried out, and the actuation in writing is explained. The case of read-out is explained first. a block transfer-request signal is sent to LSI chip 5001 which constitutes SC logic section from 5002 which constitutes IP1000 from IP1000 as data or an instruction carries out reading appearance and it is NIBS working. Since this block transfer request carries out a chip passage, 2 clock-period important point of it is carried out, it reaches LSI chip 5001 of SC logic section, and goes into the mediation circuit 2040. The mediation circuit 2040 performs mediation with various demand signals from other IP, and, as a result, chooses the block transfer-request signal concerned after a 1 - number clock period (below, suppose that it is chosen after the shortest 1 clock period). It searches whether shortly after being chosen, a block transfer-request signal is sent to a control circuit 2041, and it searches whether a control circuit 2041 is in agreement with the address with which the address of the data concerned is forbidden by LKA2030 and FLKA2031, and access is forbidden by other IP (= it acts as Locke), and the data concerned exist in WS2050 by WAA2020. Based on each retrieval result, a control circuit 2041 controls the following actuation.

[0077] When acting as Locke of the address of the data concerned, consecutive processing is not performed until Locke is canceled.

[0078] Or it does not act as Locke, and in INWS, a control circuit 2041 updates RA2021 so that it may be shown that the line containing the data concerned was accessed after other lines in the same column, and a block transfer-request signal is taken out to LSI chip 5006-5007 which constitutes WS2050. Since this block transfer-request signal carries out a chip passage, it reaches after 2 clock periods at LSI chip 5006-5007 which constitutes WS2050. And WS2050 performs block transfer to BS1043, and completes block transfer operation.

[0079] Or when do not act as Locke, and a control circuit 2041 takes out MS3000 spatula in transfer-request signal in NIWS, and RA2021 is searched, the line which has not been most accessed for a long time among the lines on the column which is going to write in the line concerned is determined (LRU algorithm), LCA2022 is searched simultaneously and writing is made on the line on WS2050, write return to MS3000 is performed. And WS2050 stores the data by which the line transfer has been carried out from MS3000 in RAM in WS2050. It updates so that it may be shown that the line which registers into WAA2020 the address of the line by which the line transfer has been carried out at LSI chip 5006-5007 from which a control circuit 2041 constitutes WS2050 on the other hand, updates to LCA2022 so that it may be shown that writing is not made on the line

transmitted, and is transmitted to RA2021 was accessed most recently. Then, WS2050 performs block transfer to LSI chip 5002 which has BS1043 in the block for which IP1000 asks, and completes block transfer operation.

[0080] In addition, when read-out is read-out with SETLOCK and a control circuit 2041 will send a block transfer-request signal to WS in the above-mentioned actuation, if it becomes at the time of INWS, or when [if it becomes NIWS,] a control circuit 2041 will send a line transfer-request signal to MS, as for a control circuit 2041, the address of the block concerned is registered to LKA2030.

[0081] 5 clock periods which will contain 2 clock periods of the chip passage of a signal by the time 7 clock periods which will contain 4 clock periods of the chip passage of a signal by the time a block transfer-request signal arrives to LSI chip 5006-5007 which constitutes WS2050, after a block transfer-request signal is sent out from the above actuation from LSI chip 5002 which constitutes IP1000 are spent and it generates a line transfer-request signal are spent.

[0082] Similarly, the case of writing is explained. It is as follows when LSI chip 5002 which constitutes IP1000 takes out the store demand signal which rewrites the data on LSI chip 5006-5007 which constitutes WS2050. That is, since the store demand signal sent out from LSI chip 5002 which constitutes IP1000 carries out a chip passage, after it passes through 2 clock periods, it reaches LSI chip 5001 which constitutes SC logic section, and goes into the mediation circuit 2040. Shortly after the mediation circuit 2040 chooses the store demand signal concerned, it is sent to a control circuit 2041 at a store demand signal. If it does so, a control circuit 2041 will search LKA2030 and FLKA2031, and WAA2020, and a control circuit 2041 will control as follows based on the result.

[0083] Consecutive processing is not performed until Locke will be canceled, if it acts as Locke. Moreover, if it does not act as Locke and becomes INWS, a store demand signal will be taken out to LSI chip 5006-5007 which constitutes WS2050. Since this store demand signal carries out a chip passage, it reaches to LSI chip 5006-5007 which constitutes WS2050 through 2 clock periods. And WS2050 writes in data. On the other hand, a control circuit 2041 is updated so that it may be shown that updated so that it might be shown that the line concerned was most accessed in RA2021 recently, and writing was performed on the line concerned in LCA2022, and it completes store actuation.

[0084] Or if it does not act as Locke and becomes NIWS, a control circuit 2041 generates a line transfer-request signal, determines the line which searches and transposes delivery and RA2021 to MS3000, and when writing is performed on the line which searches and replaces LCA2022, it will perform write return to MS3000. And after line transmitting from MS3000, WS2050 writes in data and completes store actuation.

[0085] Therefore, 7 clock periods which will contain 4 clock periods of the chip passage of a signal by the time a store demand signal reaches LSI chip 5006-5007 which constitutes WS2050, after a store demand signal is sent out from LSI chip 5002 which constitutes IP1000 are spent. And 5 clock periods which contain 2 clock periods after a store demand signal is sent out before generating a line transfer-request signal are spent.

[0086] Next, the actuation in the case of performing cache coincidence control using drawing 20 is explained. In case it stores, in order to perform cache coincidence control, when the counterpart of the same data exists in WS in other BS or other SCs, it is necessary to cancel it. Then, when the above-mentioned store actuation is performed by SC2000, as for the mediation circuit 2010, FAA1-3-2011-2013 and EXA2023 are searched first. If the data concerned are registered into the result 1-2011, for example, FAA, FAA1-2011 will cancel registration of the data concerned, and will take out a nullification demand signal to IP 01-1100 which is IP with BS in which data exist. And IP1-1100 which received the nullification demand signal cancels registration of the data concerned in BS. Moreover, the mediation circuit 2010 searches EXA2023, and when the data concerned exist in BS in IP 1400-1700 connected to WS or other SCs2100 in other IKUSUKURUSHIBU bit =SCs2100 when it is 0 that is, of the line concerned, a control circuit 2041 sets delivery and the IKUSUKURUSHIBU bit of the line of EXA2023 concerned to other SCs2100 for a nullification demand signal 1. And SC2100 which received the nullification demand signal cancels the line concerned in WS, and nullification is performed about the block on BS in IP 1400-1700 as well as the above.

[0087] therefore -- until 7 clock periods which contain 4 clock periods of the chip passage of a signal after a store demand signal is sent out from LSI chip 5002 which constitutes IP1000 before generating a nullification demand signal are spent and a nullification signal reaches further other IP connected to the same SC -- a chip passage -- 2 clock-period expense -- it is carried out.

[0088] Next, actuation by RESETLOCK which resets Locke is explained using drawing 21. When IP1000 performs RESETLOCK, since a RESETLOCK signal carries out a chip passage, after it passes through 2 clock periods, it arrives at the mediation circuit 2040. If a RESETLOCK signal is chosen in the mediation circuit 2040, a control circuit 2041 will cancel the address concerned registered into LKA, and will send a completion signal to IP1000 which is RESETLOCK signal dispatch-origin about a completion signal. Since this completion signal carries out a chip passage, it reaches after 2 clock periods at IP1000, and RESETLOCK actuation is completed.

[0089] Therefore, 6 clock periods which contain 4 clock periods of the chip passage of a signal after IP takes out a RESETLOCK signal before receiving a completion signal are spent.

[0090] The above is actuation at the time of carrying out module mounting. Next, the actuation about the example of 1 mounting by the mounting approach of this invention is explained using the timing diagram of drawing 10 -13. Since of operation [the great portion of] is the same as the actuation in the above-mentioned module mounting, only the characteristic part of this invention is described.

[0091] Although the timing diagram of actuation of read-out and writing is shown in drawing 10 After a block transfer-request signal is taken out with the case of read-out from LSI chip 2 I which constitutes IP 00-1000, by the time a block transfer-request signal reaches LSI chip 2 HO and 2 HE which constitutes WS 0-2050 4 clock periods which will contain 1 clock period of the chip passage of a signal by the time 5 clock periods containing 2 clock periods of the chip passage of a signal are spent or it generates a line transfer-request signal are spent. Moreover, the timing diagram at the time of the block transfer from WS 0-2050 to BS1043 is shown in drawing 13. As shown in drawing 9, on the transmission-signal wiring S1 between WS2050 and BS1043, latch 103a is constituted, and as shown in drawing 13, at the time of block transfer, it can divide one clock of transmissions of the data in signal wiring S1 at a time by this. In the conventional module mounting, in order to transmit every 2 clock periods since such latch 103a cannot be constituted, and to enlarge a throughput, wiring between WS and IP increased in number, and the clock period benefited the wiring delay between WS and BS long, and the processing engine performance of a computing system fell.

[0092] Moreover, 5 clock periods which in writing will contain 2 clock periods of the chip passage of a signal by the time a store demand signal reaches LSI chip 2 HO and 2 HE which constitutes WS2050, after a store demand signal is sent out from LSI chip 2 I which constitutes IP 00-1000 are spent. And 4 clock periods which contain 1 clock period after a store demand signal is sent out before generating a line transfer-request signal are spent.

[0093] moreover -- until it reaches to other IP which is [that 5 clock periods which contain 2 clock periods of the chip passage of a signal after a store demand signal is sent out from LSI chip 2 I which constitutes IP 00-1000 in case cache coincidence control is performed as shown in drawing 11 before generating a nullification demand signal are only spent, and] and by which the nullification signal is further connected to the same SC -- a chip passage -- 1 clock-period expense -- it is [only being carried out and].

[0094] Moreover, as shown in drawing 12, when performing RESETLOCK, only 4 clock periods which contain 2 clock periods of the chip passage of a signal after IP issues a RESETLOCK instruction before receiving a completion signal are spent.

[0095] In the above, the actuation in the example of 1 mounting based on the 1st mounting approach was explained. As mentioned above, in each actuation, there is effectiveness which it is ineffective to 1/2 as compared with the case where the time amount which a signal spends on a chip passage is module mounting, therefore accelerates the actuation as a computing system to this invention so that clearly.

[0096] Moreover, pipeline transmission can be performed by placing latch 103a, in [data transmission wiring between WS2050 and BS1040]. Here, the chip passage time amount between an LSI chip and large-sized LSI has accelerated the signal transmission between the control

circuits (a mediation circuit, WAA, LKA, etc.) of IP and SC, or between the control circuits (a mediation circuit, WAA, LKA, etc.) of WS and SC using dropping to several [of the chip passage time amount in module mounting using LSI of the same chip engine performance / 1/]. Therefore, the specific control approaches (for example, between a LRU algorithm, the coincidence control approach between caches, BS, and WS a store-through method, moreover thing for which the store-in method was used between WS and MS), such as having made chip passage time amount into 1 clock period in the example of mounting based on the mounting approach of the above 1st and WAA, and LKA, do not limit the effectiveness of this invention.

[0097] Moreover, although one latch is formed on wiring in large-sized LSI, the configuration approach that the effectiveness of this invention may not change plurality in essence, either, and it does not form a latch like before if needed is also possible for latch's number. Moreover, a part of circuit of SC is constituted in two or more LSI chips, a signal line in the meantime is formed in large-sized LSI, and even if it prepares a latch on the signal line and performs pipeline transmission, the effectiveness of this invention can be acquired similarly. Moreover, although the computing system of 3 hierarchy memory methods was constituted from an example of mounting based on the 1st mounting approach, it is effective similarly in some actuation (cache coincidence control and RESETLOCK) of the inside described above also in the computing system of 2 hierarchy memory methods.

[0098] Next, the 2nd mounting approach of a computing system is explained. By the 1st mounting approach, although WS2050 was installed in two LSI chip 2 HO and 2 HE, WS2050 is installed in large-sized LSI here. That is, the instruction processing unit and system control station of a computing system of a multiprocessor mold consist of accumulating SC2000 on large-sized LSI1, constituting one set of IP 1000-1100-1200-1300 using four LSI chip 2 I, 2 RO, 2 Ha, and 2 NI, respectively, carrying these in large-sized LSI1, and connecting electrically. For example, as shown in drawing 14, it constitutes. Although the semiconductor integrated circuit equipment used here is the same as the semiconductor integrated circuit equipment shown in drawing 1, it carries four LSI chips on the principal plane of large-sized LSI. And the computing system of the multiprocessor mold which does in this way and consists of constituted semiconductor integrated circuit equipment and two or more instruction processing units which share a primary storage mutually combining MS3000, IOP4000, IO4100, etc. prepared separately is constituted. Furthermore, the computing system of the multiprocessor mold which consists of many instruction processing units more is also realizable by preparing two or more such computing systems, and connecting between each SCs.

[0099] As compared with the mounting approach of the above 1st, the number of pins formed on the principal plane of large-sized LSI can be lessened by installing WS2050 in large-sized LSI by the 2nd mounting approach. However, since the degree of integration of large-sized LSI becomes large, the yield may fall.

[0100] Moreover, the signal transmission between WS and SC logic sections and between WS and IP comes be made to a high speed by taking a configuration as shown in drawing 14. Between the mediation circuit 2040 and WS2050, transmission of the signal between a control circuit 2041 and WS2050 and between IP and WS becomes a high speed, and in the example of 1 mounting in the 1st mounting approach, 1, 1, and the place that was carrying out 2 clock-period important point serve as 0, 0, and 1 clock period, respectively, and it can be accelerated about each actuation stated in the example of 1 mounting in the 1st mounting approach, respectively. When a block transfer-request signal is taken out from IP 00-1000, with for example, the block transfer-request signal to WS taken out from the control circuit at the time of INWS Promptly the data by which WS2050 was started and reading appearance was carried out from WS2050 It reaches after 1 clock period at IP 00-1000 (therefore, the medium latch on the signal wiring for the data transfer from WS 0-2050 to BS1043 like latch 103a of drawing 9 becomes unnecessary).

[0101] Next, the 3rd of a computing system and the 4th mounting approach which applied this invention are explained. First, by the 3rd mounting approach, SC logic section is accumulated on large-sized LSI1. At least one or more IP constituted by two or more LSI chips is prepared. At least one or more LSI chips constitute WS2050, and the semiconductor integrated circuit equipment which carries all the above LSI chips in large-sized LSI1, and is connected is constituted. Further This semiconductor integrated circuit equipment, The computing system of the multiprocessor mold

which consists of two or more instruction processing units which share a primary storage mutually can be constituted combining MS3000, IOP4000, etc. In addition, a part of circuit of WS2050 may be accumulated into large-sized LSI1. Furthermore, the computer system of the multiprocessor mold which consists of many instruction processing units more is also realizable by connecting two or more above-mentioned computer systems like the 1st and 2nd mounting approach.

[0102] Moreover, as the 4th mounting approach, SC2000 is accumulated on large-sized LSI1. At least one or more IP constituted by two or more LSI chips is prepared, and the semiconductor integrated circuit equipment which carries the LSI chip of these plurality in large-sized LSI1, and is connected is constituted. Further This semiconductor integrated circuit equipment, The computing system of the multiprocessor mold which consists of two or more instruction processing units which share a primary storage mutually is constituted combining MS3000, IOP4000, etc. Furthermore, the computer system of the multiprocessor mold which consists of many instruction processing units more is also realizable by connecting two or more above-mentioned computer systems like the 1st, 2nd, and 3rd mounting approach.

[0103] In this invention, by such mounting approach, also when one set of IP consists of two or more LSI chips, it can respond. By the 3rd mounting approach, as compared with the 4th mounting approach, the part which does not install WS2050 in large-sized LSI, and the number of circuits accumulated on large-sized LSI can be lessened, and the yield can be raised.

[0104] The 3rd and 4th mounting approaches are constituted as shown in drawing 15. IP00 -- IU1010, EU1020, and CS1030 -- the inside of one LSI chip 2 I -- constituting -- BU1040 -- the inside of one another LSI chip 2 RO -- constituting -- the inside of large-sized LSI1 -- signal wiring S -- latch 103 e.103f, 103 c.103d, and 103b are constituted, respectively on 2, S3, S4, S5, and S6. Moreover, IP01 constitutes similarly using LSI chip 2 Ha and 2 NI (not shown [a circuit]). WS2050 may be installed in an LSI chip like the example of the 1st mounting approach, for example, or the configuration approach of SC may constitute all the circuits of SC in large-sized LSI like the example of (the 3rd mounting approach) and the 2nd mounting approach (the 4th mounting approach). However, below, since the configuration approach of SC and actuation were explained by the 1st and 2nd mounting approaches, only the actuation performed within IP is explained. The example of mounting by which two sets of IP are connected to one set of SC in this example is shown, and although the semiconductor integrated circuit equipment used here is the same as the semiconductor integrated circuit equipment shown in drawing 1, four LSI chips are carried on the principal plane of large-sized LSI.

[0105] The instruction execution in the computer system constituted like drawing 15 can take the configuration of a pipeline stage like drawing 16. Actuation on each stage is explained using drawing 15 and drawing 16.

[0106] An "instruction read-out" stage consists of some small stages, first, from the value set to the program counter which has IU1010 in IU1010, the address of the instruction to read is generated and the address sets the address and an instruction read-out demand signal to latch 103e with an instruction read-out demand signal on an "instruction address count" smallness stage. Next, on an "instruction address transfer" smallness stage, the address set to latch 103e is sent to TLB1041, BAA1042, BS1043, and the BU control circuit 1044, and an instruction read-out demand signal is also further sent to the BU control circuit 1044. Next, on "BS access" smallness stage, TLB1041, BAA1042, and BS1043 are searched, and based on the result, if the BU control circuit 1044 is INBS, it will set to latch 103f the instruction by which reading appearance was carried out. Next, on a "instruction-transfer" smallness stage, IU1010 stores in the instruction buffer in IU1010 the instruction set to latch 103f (if it is NIBS, IP will send a block transfer-request signal to SC.). moreover, instruction reading appearance is carried out, reading appearance of the number instruction is carried out for every one read-out as a method, and there is a method of storing in the instruction buffer in IU1010, and with such a method, it is not necessary to perform instruction read-out for every instruction

[0107] On "decoding" stage, IU1010 reads and decodes an instruction from the instruction buffer specified by the program counter.

[0108] An "operand read-out" stage also consists of some small stages, and first, IU1010 calculates the operand address according to the decoding result of an instruction (however, although an

operand may specify a register depending on an instruction, actuation of an about is described when specifying the data on MS here), and sets this address and an operand read-out demand signal to latch 103c on an "operand address computation" stage. Next, on an "operand address transfer" smallness stage, the address set to latch 103c is sent to TLB1041, BAA1042, and BS1043, and an operand read-out demand signal is sent to the BU control circuit 1044. Next, on "BS access" smallness stage, TLB1041, BAA1042, and BS1043 are searched, and based on the result, if the BU control circuit 1044 is INBS, it will set to latch 103d the data by which reading appearance was carried out (if it is NIBS, IP will send a block transfer-request signal to SC). Next, on an "operand transfer" smallness stage, the data set to latch 103d are transmitted to the work-piece register in EU1020.

[0109] On "activation" stage, EU1020 calculates using the computing element which is in EU1020 about the data set to the work-piece register according to the decoded instruction. The number stage important point of the operation may be carried out with an instruction. And if it is the instruction which writes the result of an operation in MS, the data which are a result are set to latch 103b, it will write in from the operand designation part of an instruction field, and the address and a write request signal will be set to latch 103c (however, the writing to the register with which IU1010 has an instruction when a storing place is the instruction it is [instruction] a register is performed, and activation of an instruction is completed).

[0110] A "write-in" stage consists of some small stages. First, on a "write-in data transfer" smallness stage, the data set to latch 103b are sent to BS1043, the address set to 103c is sent to TLB1041, BAA1042, and BS1043, and the address and a write request signal are sent to the BU control circuit 1044. On a "BAA retrieval" smallness stage, the BU control circuit 1044 searches TLB1041 and BAA1042, and judges whether it is INBS according to the result. If it is INBS, on "BS access" smallness stage, the data for writing will be written in BS1043 by the BU control circuit 1044. (If it is NIBS, a block transfer-request signal will be generated.) Moreover, the write request signal to WS, MS, etc. may be sent to SC etc. with the writing to BS. In the above pipeline configurations, it becomes possible by module mounting to make activation of the next instruction start for every stage fundamentally by constituting a medium latch from an example of this mounting approach on wiring used as a chip passage. Moreover, a medium latch can also form more than one on wiring if needed. Probably it is needed in a cure, such as starting activation of the next instruction every two stages, since it is such if it is module mounting, and a medium latch configuration cannot be carried out, or doubling wiring of a chip passage, switching by turns for every stage, and transmitting a signal, the processing engine performance will be reduced in the former, control becomes complicated at the latter, and wiring and a pin are made to increase. In addition, at the time of NIBS, the inside of line transfer operation does not affect actuation of the above-mentioned stage other than it, although activation of an instruction pipeline is interrupted. Since line transfer operation is the same as that of actuation when the example of 1 mounting in the 1st of a computing system or the 2nd mounting approach describes, it will not state here.

[0111] Moreover, in the above, using one BS per IP, an instruction and data are made intermingled and it stores. For this reason, access to BS can compete in read-out of an instruction, and read-out and the writing of an operand. In this case, it will be processed by serial with the priority decided beforehand. However, two BS, BS for an instruction and BS for data, is constituted by the end of today in many cases. By carrying out like this, it is avoidable that instruction read-out, and operand read-out and writing compete. It is easy to make such configuration approaches apply to the above-mentioned configuration in the example of 1 mounting of this mounting approach.

[0112] Moreover, there is the approach of constituting CS1030 from an another LSI chip besides constituting BS1043 in IU1010 or LSI chip with another EU1020 in this way. About CS1030 as well as BS1020, the same effectiveness can be acquired by performing pipeline transmission by preparing a latch on wiring of large-sized LSI.

[0113] Moreover, in the 3-4th mounting approaches, there is the mounting approach which constitutes a part of circuit of IP in large-sized LSI. For example, IU1010 and EU1020 are constituted in an LSI chip, and BS1043 or CS1030 is constituted in large-sized LSI in which the LSI chip was carried. By carrying out like this, as compared with the example of the 3-4th mounting approaches, access to BS1043 or CS1030 can be made to be able to accelerate, for example, the

number of stages of the pipeline at the time of being BS read-out or CS read-out can be reduced. And the yield can be raised as compared with the case where IP is constituted from one LSI.

[0114] By this invention, the various gestalten which mount on large-sized LSI1 or LSI chip 2, the component, for example, the system control station, of a computer system, can be considered so that clearly from having already stated.

[0115] The system control station in a computer system For example, cache-storage work-piece SUTOREJI, The priority beforehand decided when the processing demand signal sent to the above-mentioned system control station from two or more above-mentioned instruction processing units was received, it stored temporarily and two or more unsettled processing demand signals were being stored is followed. The mediation circuit which chooses this one processing demand signal, generates a suitable processing demand signal, and is sent out to a suitable circuit apparatus, The cache directory store work-piece SUTOREJI address array which stores the information on whether the counterpart of the data on the above-mentioned primary storage is stored in this work-piece SUTOREJI, The storage replacement array which stores the information used in order to determine with which data on this work-piece SUTOREJI the data on this work-piece SUTOREJI should be replaced when performing the another data and the another exchange on this primary storage, The store line change bit array which stores the information used in order to judge whether the data on this work-piece SUTOREJI were changed, With storage Locke Alley who stores the address with which this a certain instruction processing unit forbids access of other above-mentioned instruction processing units to a certain data area on this primary storage With storage front Locke Alley who stores the address with which the above-mentioned instruction processing unit connected to other above-mentioned system control stations forbids access of this instruction processing unit to a certain data area on this primary storage In order to determine whether exist on cache-storage buffer SUTOREJI which has a certain data in this instruction processing unit The equipment front address array which has the store which stores the information to be used, and the circuit apparatus which sends a block nullification demand signal to this instruction processing unit with which data exist, In order to determine whether exist on buffer SUTOREJI in the above-mentioned instruction processing unit by which a certain data are connected to the work-piece SUTOREJI top in other above-mentioned system control stations, or these other system control stations The store IKUSUKURUSHIBUBITTO array which stores the information to be used, You may make it consist of at least one or all of the control circuit **s which receive the signal from these various circuit apparatus, and mainly perform suitable control to the storage and the circuit apparatus in this system control station based on it.

[0116] Or above-mentioned work-piece SUTOREJI in the above-mentioned computer system, the above-mentioned mediation circuit, the above-mentioned work-piece SUTOREJI address array, the above-mentioned replacement array, the above-mentioned line change bit array, above-mentioned Locke Alley, above-mentioned front Locke Alley, the above-mentioned front address array, the above-mentioned IKUSUKURUSHIBUBITTO array, and at least 1 of the above-mentioned control circuits may be mounted in the semiconductor integrated circuit equipment of the above 2nd.

[0117]

[Effect of the Invention] According to this invention, in the signal transmission of the LSI chips carried on large-sized LSI, the chip passage time amount of a signal can be decreased substantially, and the signal transmission between large-sized LSI and an LSI chip can carry out to a high speed. Furthermore, using such mounting technology, transmission of the signal from an instruction processing unit to a system control station can be accelerated, and the processing engine performance as the whole computing system can be raised.

[0118] Moreover, the problem of a pin neck can be solved and miniaturization of large-scale equipment to which the magnitude of equipment will be restricted like the system control station of a computing system with the number of signal pins which can be taken out can be realized.

[Brief Description of the Drawings]

[Drawing 1] It is general-view drawing showing one example of the semiconductor integrated circuit equipment by this invention.

[Drawing 2] It is a sectional view in the A-A' part of the integrated circuit device of drawing 1 .

[Drawing 3] It is the mimetic diagram showing the situation of the cross section of the semiconductor integrated circuit equipment by the 2nd example of this invention.

[Drawing 4] It is drawing showing an example of the buffer in the example of drawing 3 .

[Drawing 5] It is the sectional view showing the situation of the signal transmission between LSI in the conventional module mounting technology.

[Drawing 6] It is drawing which compared the effectiveness of this invention shown in drawing 3 , and the conventional method.

[Drawing 7] It is the mimetic diagram showing the situation of the cross section of the semiconductor integrated circuit equipment by the 3rd example of this invention.

[Drawing 8] It is the block diagram showing the example of a configuration of the computer system of the multiprocessor mold by this invention.

[Drawing 9] It is the block diagram showing the example of 1 mounting of the mounting approach of the computer system by this invention.

[Drawing 10] It is the timing diagram about the example of 1 mounting of drawing 9 which reads (NIBS) and shows the actuation at the time of writing.

[Drawing 11] It is the timing diagram which shows nullification actuation of registration in FAA/BAA/WAA about the example of mounting of drawing 9 .

[Drawing 12] RESET about the example of 1 mounting of the mounting approach of drawing 9 It is the timing diagram which shows the actuation at the time of LOCK.

[Drawing 13] It is the timing diagram which shows the actuation at the time of the block transfer from WS about the example of 1 mounting of the mounting approach of drawing 9 to BS.

[Drawing 14] It is the block diagram showing the example of 1 mounting of other mounting approaches of the computer system by this invention.

[Drawing 15] It is the block diagram showing the example of 1 mounting of other mounting approaches of the computer system by this invention.

[Drawing 16] It is drawing showing the pipeline stage in the example of mounting of drawing 15 .

[Drawing 17] It is the block diagram showing a general view of the example of a configuration of the computer system constituted using the LSI chip of the same degree of integration as the LSI chip used in the example of mounting of drawing 9 , using the conventional module mounting.

[Drawing 18] It is the block diagram showing the detail of the example of a configuration of the conventional computer system of drawing 17 .

[Drawing 19] It is the timing diagram which shows read-out (NIBS) of the computer system shown in drawing 18 , and the actuation at the time of writing.

[Drawing 20] It is the timing diagram which shows nullification actuation of registration in FAA/BAA/WAA of the computer system shown in drawing 18 .

[Drawing 21] RESET of the computer system shown in drawing 18 It is the timing diagram which shows the actuation at the time of LOCK.

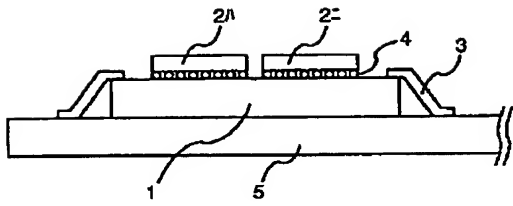
[Description of Notations]

1 -- Large-sized LSI, and 2 I, 2 RO, 2 Ha, 2 NI and 2 HO and 2 -- LSI chip, 3 -- A TAB lead, 4 -- A solder bump electrode, 5 -- Ceramic wiring board, 100 [-- Latch,] -- A buffer, 101 -- Wiring, 102 -- A terminator, 103 104 -- Clock distribution wiring, 1000-1100-1200-1300-1400-1500-1600-1700 -- Instruction processing unit, 1001 -- The logical circuit part of a system control station, 1002 -- Cache memory apparatus, 1003 [-- EU,] -- Main storage, 1004 -- An I/O device, 1010 -- IU, 1020 1030 [-- BAA,] -- CS, 1040 -- BU, 1041 -- TLB, 1042 1043 -- BS, 1044 -- BU control circuit, 2010-2012 -- FAA, 2020 [-- EXA,] -- WAA, 2021 -- RA, 2022 -- LCA, 2023 2030 [-- WS, 2000 / -- A system control station, 3000 / -- Main storage, S1-6 / -- Signal wiring, 103 a-b-c-d-e-f / -- A medium latch, 5001-5007 / -- An LSI chip, 5009 / -- Wiring substrate.] -- LKA, 2031 -- FLKA, 2041 -- A control circuit, 2050

DRAWINGS

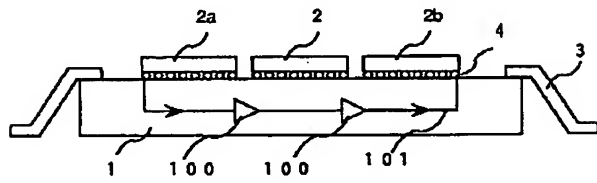
[Drawing 2]

図2



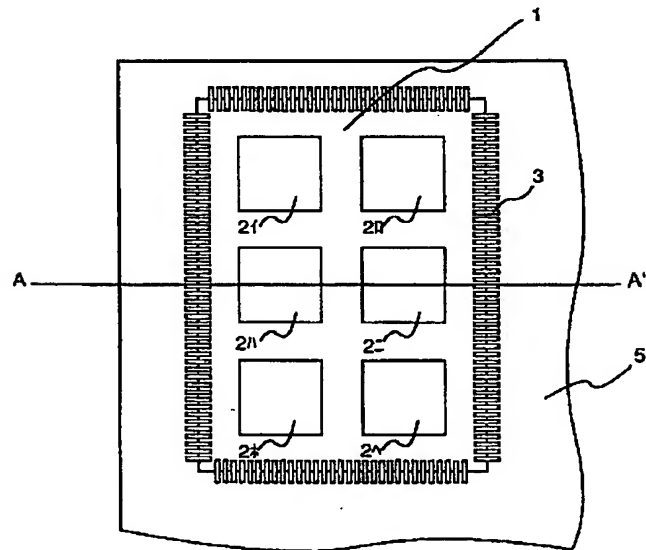
[Drawing 3]

図3



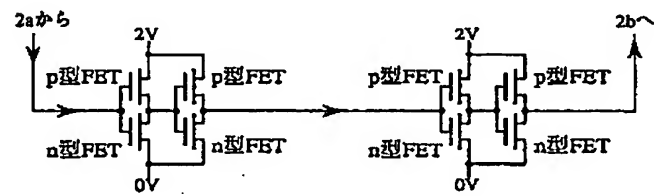
[Drawing 1]

図1



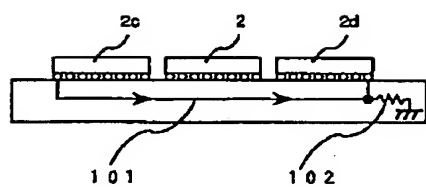
[Drawing 4]

図 4



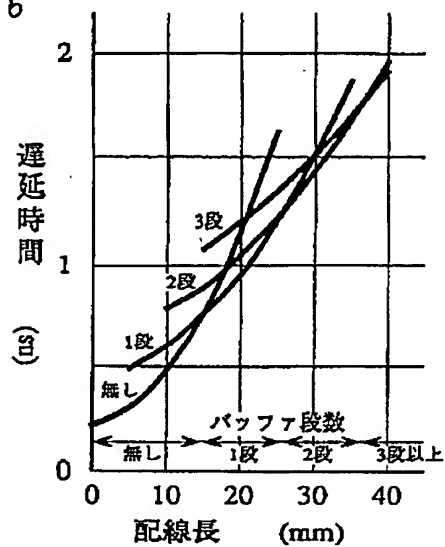
[Drawing 5]

図 5



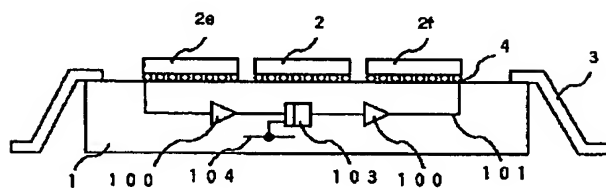
[Drawing 6]

図 6



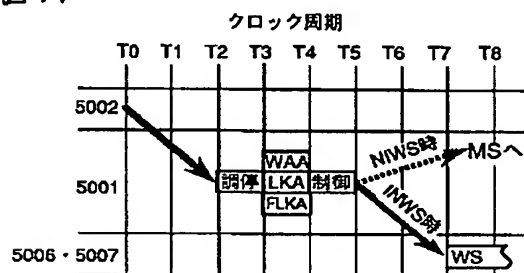
[Drawing 7]

図 7



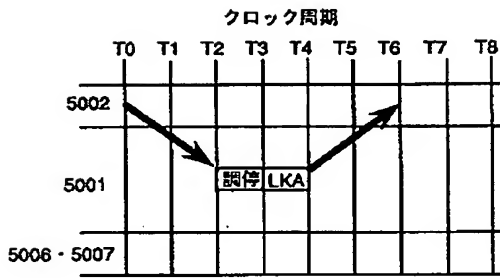
[Drawing 19]

図 19



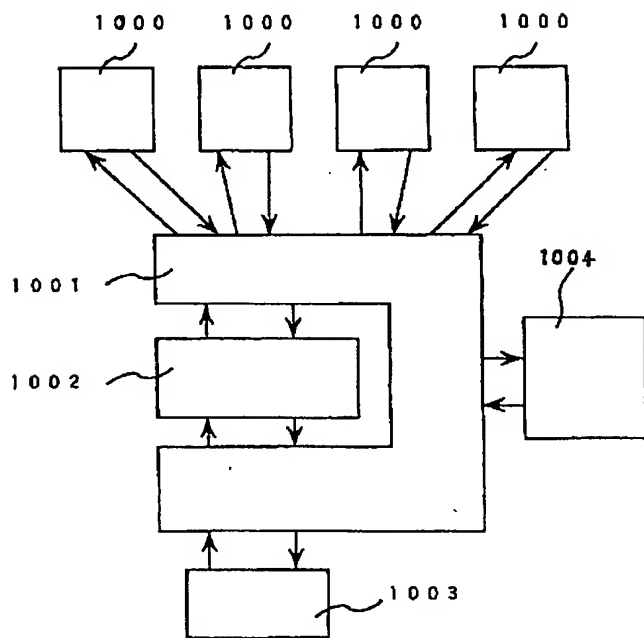
[Drawing 21]

図 21



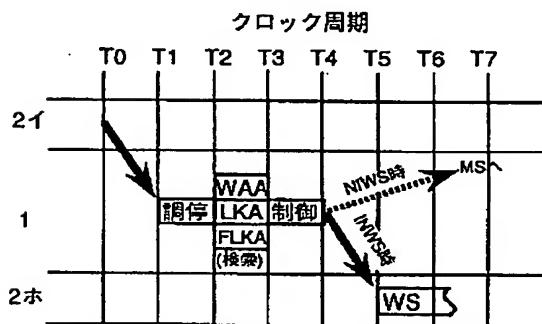
[Drawing 8]

図 8



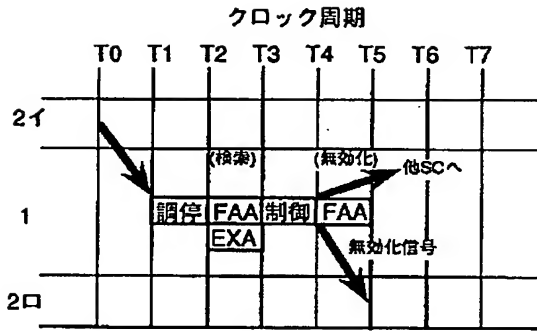
[Drawing 10]

図 10



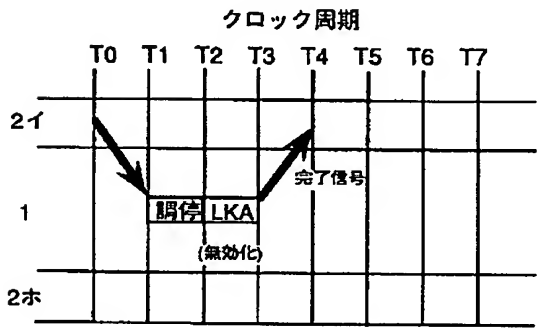
[Drawing 11]

図 11



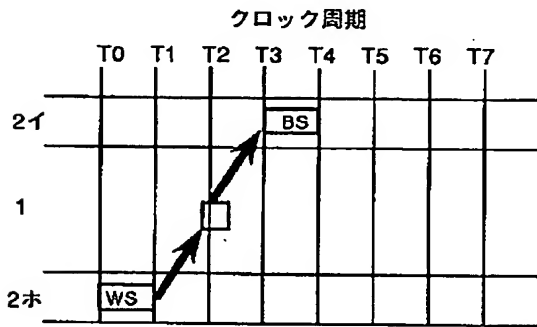
[Drawing 12]

図 12



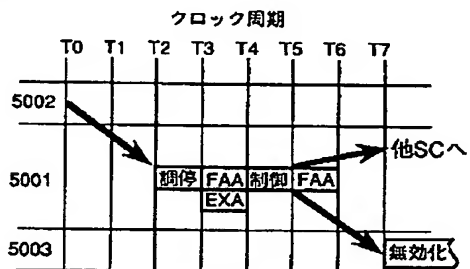
[Drawing 13]

図 13

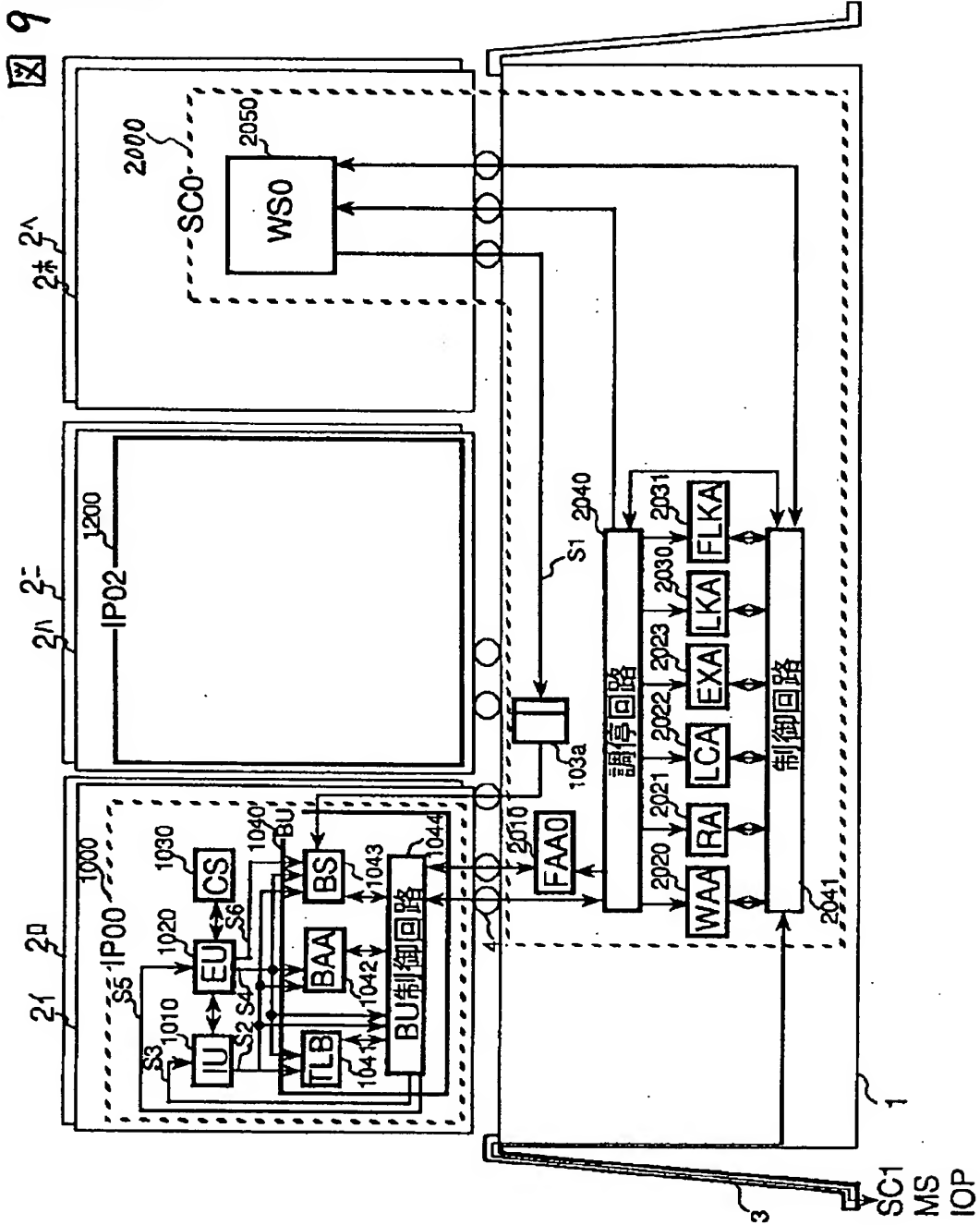


[Drawing 20]

図 20

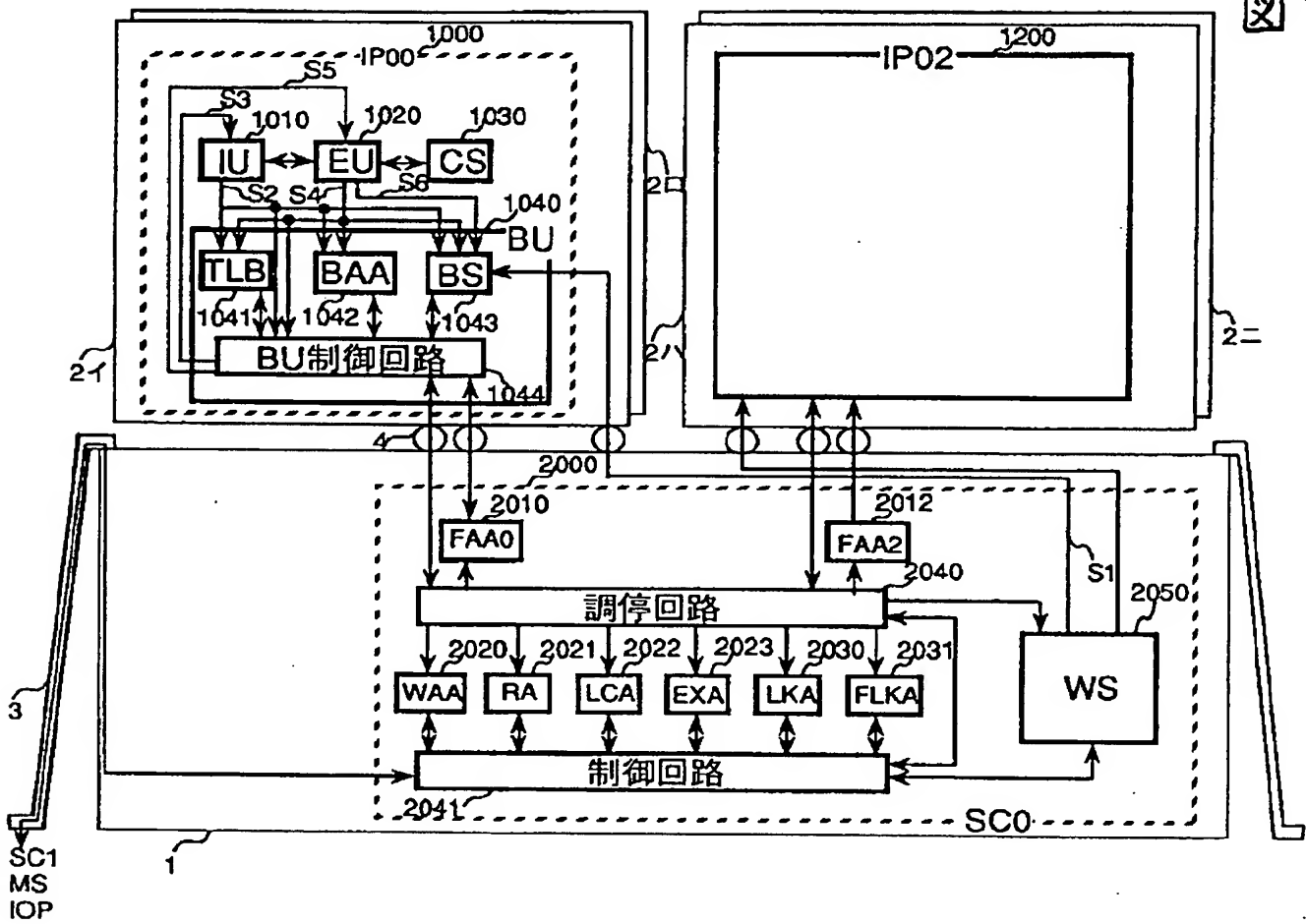


[Drawing 9]



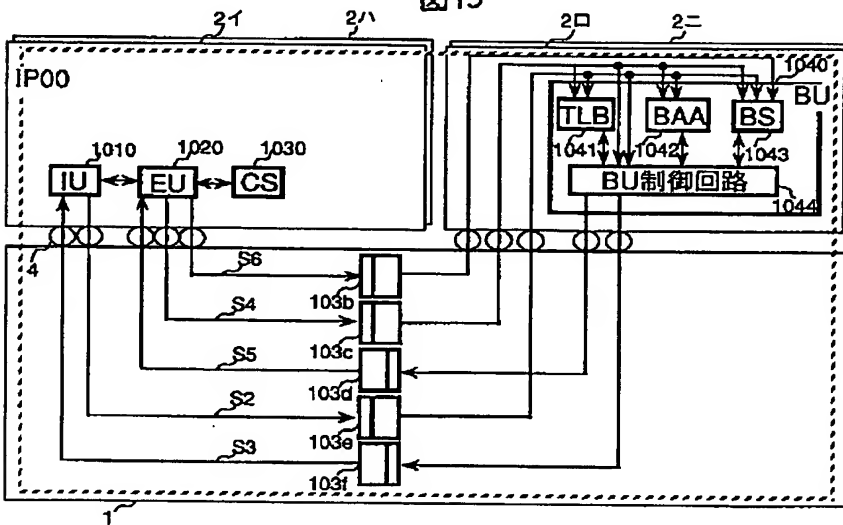
[Drawing 14]

図 14



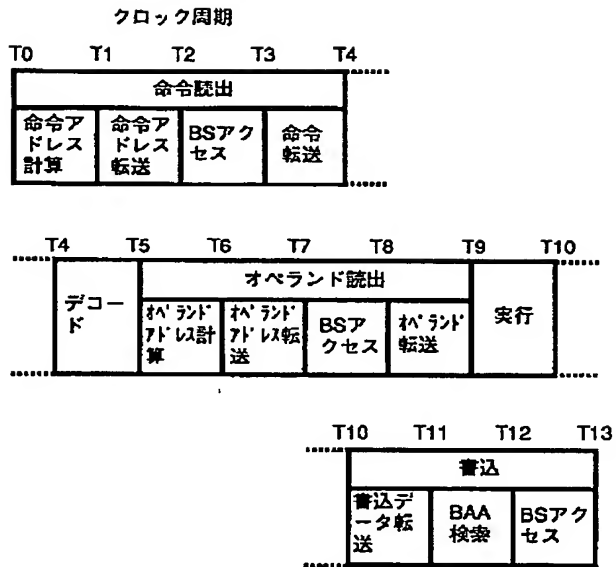
[Drawing 15]

図 15



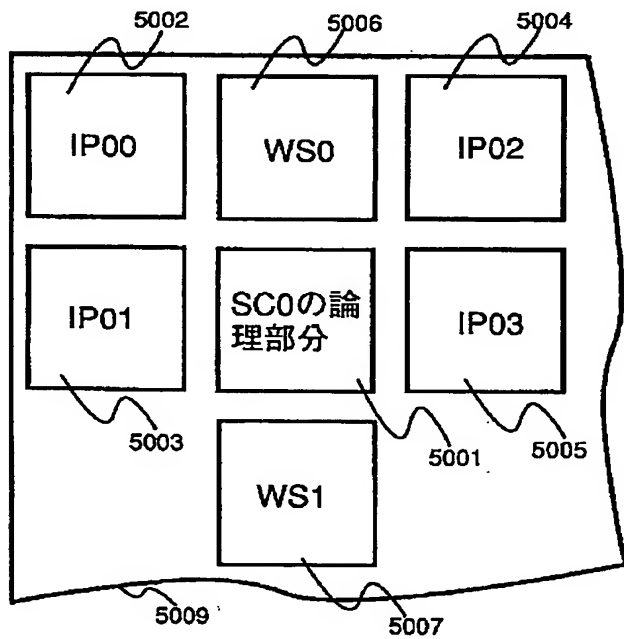
[Drawing 16]

図 16



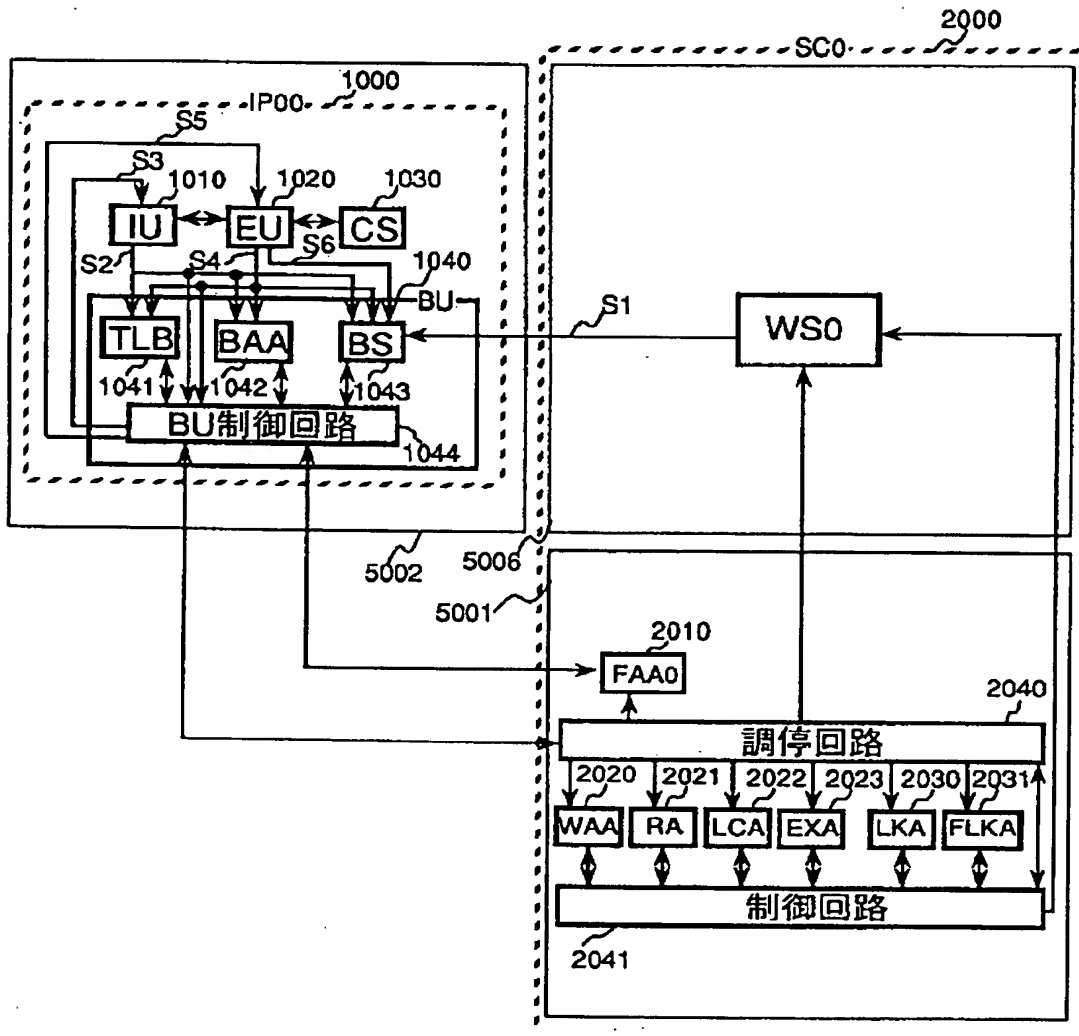
[Drawing 17]

図 17



[Drawing 18]

図 18



(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-283607

(43)公開日 平成5年(1993)10月29日

| | | | | |
|--------------------------|---------|---------|----------------|-----------------|
| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 25/065 | | | | |
| 25/07 | | | | |
| 25/18 | | | | |
| G 0 6 F 15/78 | 5 1 0 Z | 7530-5L | | |
| | | | H 0 1 L 25/ 08 | B |
| | | | 審査請求 未請求 | 請求項の数18(全 22 頁) |

(21)出願番号 特願平4-319802

(22)出願日 平成4年(1992)11月30日

(31)優先権主張番号 特願平4-17452

(32)優先日 平4(1992)2月3日

(33)優先権主張国 日本(J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小國 哲

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 山本 一道

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 益田 昇

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 薄田 利幸

最終頁に続く

(54)【発明の名称】 半導体集積回路装置及びそれを利用した計算機システム

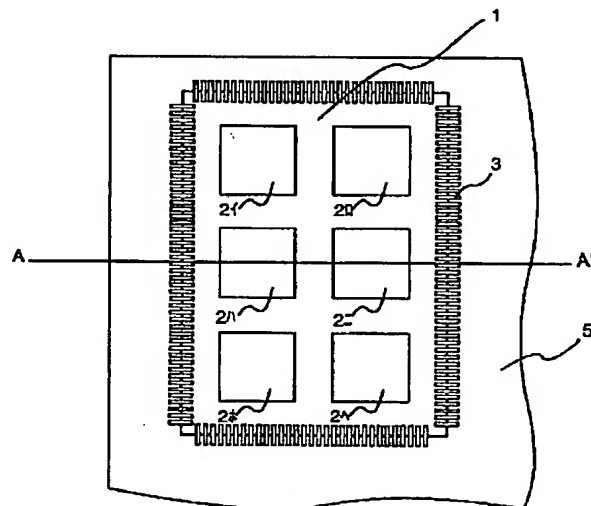
(57)【要約】

【目的】計算機実装技術における従来のモジュール実装技術のいくつかの欠点を克服し、より高密度な実装を実現する半導体集積回路装置及び、より高速な計算機システムの構成方法を提供する。

【構成】1個のLSIチップ2イ〜2へとほぼ同数の回路素子を集積した大型LSI1上に、複数のLSIチップ例えば6個としてLSIチップ2イ〜2へを搭載し、各LSIチップ2イ〜2へは大型LSI1に設けられた論理回路を介して接続する。計算機システムを構成する場合は、複数台の命令処理装置を構成する複数のLSIチップを、システム制御装置の調停回路やキャッシュディレクトリ記憶装置等を構成する大型LSIの主面上に搭載し、さらにキャッシュ記憶装置を構成するLSIチップも搭載し、それらの間を電氣的に接続する。

【効果】大規模なシステムをコンパクト化することができ、命令処理装置からシステム制御装置へのアクセスも高速に行なえる。

図1



【特許請求の範囲】

【請求項1】第1の半導体集積回路装置の主面上に複数の第2の半導体集積回路装置を搭載してなる半導体集積回路装置において、上記第1の半導体集積回路装置内に、上記第2の半導体集積回路装置内の論理回路間を相互に接続するための能動素子を含む接続回路を設けたことを特徴とする半導体集積回路装置。

【請求項2】請求項1記載の半導体集積回路装置において、上記第1の集積回路装置に集積される論理回路素子の数は、上記第2の半導体集積回路装置のうちの1個のそれと同程度もしくはそれ以下であることを特徴とする半導体集積回路装置。

【請求項3】請求項1または請求項2記載の半導体集積回路装置において、上記第1の半導体集積回路装置は、配線基板上に搭載され、上記第1の半導体集積回路装置と上記配線基板とがTAB接続されていることを特徴とする半導体集積回路装置。

【請求項4】請求項1または請求項2に記載の半導体集積回路装置において、上記第1の半導体集積回路装置は、厚さが概ね1 μ m以下の高密度配線層を少なくとも1層以上と、厚さが概ね2 μ m以上の低抵抗配線層を少なくとも1層以上有することを特徴とする半導体集積回路装置。

【請求項5】請求項4記載の半導体集積回路装置において、上記高密度配線層の配線はアルミニウムをその材料とし、上記低抵抗配線層の配線は銅をその材料とすることを特徴とする半導体集積回路装置。

【請求項6】能動素子を含む回路と低抵抗配線層とを備えた第1の半導体集積回路装置を形成し、各々論理回路を有する複数の第2の半導体集積回路装置を形成し、これらを前記第1の半導体集積回路装置の主面上に搭載し、上記第2の半導体集積回路装置の各論理回路を、上記第1の半導体集積回路装置の上記回路及び低抵抗配線層を介して接続することを特徴とする半導体集積回路装置の製造方法。

【請求項7】請求項6記載の半導体集積回路装置の製造方法において、上記低抵抗配線層は金属メッキにより形成することを特徴とする半導体集積回路装置の製造方法。

【請求項8】請求項7記載の半導体集積回路装置の製造方法において、上記低抵抗配線層は銅メッキにより形成することを特徴とする半導体集積回路装置の製造方法。

【請求項9】命令処理装置と、主記憶装置と、入出力装置と、該入出力装置が接続されている入出力制御装置と、上記命令処理装置、上記主記憶装置及び上記入出力制御装置を相互に接続するシステム制御装置とを備えた計算機システムにおいて、第1の半導体集積回路装置の主面上に複数の第2の半導体集積回路装置を搭載した半導体集積回路装置に、上記

命令処理装置と上記システム制御装置を設けたことを特徴とする計算機システム。

【請求項10】請求項9記載の計算機システムにおいて、上記第2の半導体集積回路装置により上記命令処理装置を構成し、さらに上記システム制御装置を上記第1の半導体集積回路装置に設けたことを特徴とする計算機システム。

【請求項11】請求項9記載の計算機システムにおいて、上記システム制御装置を構成する回路の一部を上記第2の半導体集積回路装置内に構成したことを特徴とする計算機システム。

【請求項12】請求項9または請求項10または請求項11に記載の計算機システムにおいて、上記複数の第2の半導体集積回路装置に実装される上記命令処理装置内の回路間の信号経路及び該信号経路上の論理回路を上記第1の半導体集積回路装置に形成したことを特徴とする計算機システム。

【請求項13】請求項9または請求項11に記載の計算機システムにおいて、上記複数の第2の半導体集積回路装置に実装される上記命令処理装置と上記システム制御装置の一部との間の信号経路及び該信号経路上の論理回路を上記第1の半導体集積回路装置に形成したことを特徴とする計算機システム。

【請求項14】請求項9または請求項11に記載の計算機システムにおいて、上記複数の第2の半導体集積回路装置に実装される上記システム制御装置内の回路間を接続する信号経路及び該信号経路上の論理回路を上記第1の半導体集積回路装置に形成したことを特徴とする計算機システム。

【請求項15】請求項12または請求項13または請求項14に記載の計算機システムにおいて、上記第1の半導体集積回路装置に形成された信号経路上の論理回路が少なくともラッチを含んでおり、パイプライン伝送を可能とすることを特徴とする計算機システム。

【請求項16】請求項9または請求項10または請求項11に記載の計算機システムにおいて、上記システム制御装置を実装した第1の半導体集積回路装置を複数個備え、上記各システム制御装置の間を相互に接続したことを特徴とする計算機システム。

【請求項17】請求項11記載の計算機システムにおいて、上記命令処理装置と上記システム制御装置を構成する回路の一部とを同一の上記第2の半導体集積回路装置内に構成したことを特徴とする計算機システム。

【請求項18】請求項11記載の計算機システムにおいて、上記システム制御装置を構成する回路の一部を上記複数の第2の半導体集積回路装置の1つに構成し、上記命令処理装置を他の上記第2の半導体集積回路装置内に構成したことを特徴とする計算機システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に係り、特に大型の集積回路基板上に複数の半導体集積回路素子を搭載した半導体集積回路装置に関し、さらに、その製造方法及びそれを用いた計算機システムに関する。

【0002】

【従来の技術】まず、計算機システムに関する従来の実装技術について述べる。大型汎用計算機の実装技術として従来知られているものに、例えば、日経エレクトロニクス、1990年12月10日号(No.515)「大型コンピュータM-880の処理方式とハードウェア技術」で述べられている実装がある。ここで述べられている実装は、1個のLSIチップが半田バンプを介して1個のセラミック配線基板上にフェイスダウンで搭載されてLSIパッケージと呼ばれているものに封止され、複数のLSIパッケージが半田バンプを介して1個のセラミック配線基板上に搭載されてモジュールと呼ばれているものを形成し、モジュールの下面に構成された入出力ピンがプリント配線基板に構成されたスルーホールに差し込まれることにより、モジュールがプリント配線基板上に搭載されてボードを形成している、といったものである。以下、本明細書中では、このような実装技術をモジュール実装技術と呼び、また、ある程度量産されているLSIの中で最も高度な加工技術を用いて生産され、許容範囲内の歩留まりを確保できる程度の寸法を持ったLSIを「LSIチップ」と呼ぶことにする。

【0003】モジュール実装技術では、LSIチップがセラミック配線基板の1つの平面上に配置されるため、LSIチップ数が増加するとセラミック配線基板の面積が増大し、LSIチップ間を接続する配線の配線長が増加するという傾向がある。このような長距離の配線により高速信号伝送を行う場合には、配線の終端における信号の反射を防ぐため、整合伝送を行う必要がある。図5は、モジュールにおける信号伝送の様子を示す模式図である。例えば、LSIチップ2cからLSIチップ2dへの信号の伝送は、セラミック配線基板上の配線101を経由して行われる。この場合、LSIチップ2dの入力端での反射を防ぐため、配線101には、終端抵抗102が必要となる。

【0004】また、モジュール実装技術よりもさらに高密度に実装を実現する手段として、ウエーハ・スケール集積回路装置を用いる方法が知られている。このウエーハ・スケール集積回路装置を用いて複数のLSIを同一のウエーハ上に集積し、かつLSI間の配線も同一ウエーハ上で行うことにより、モジュール実装技術より高密度な実装が期待できる。しかしながら、ウエーハ・スケール集積回路装置ではプロセス段階で発生する欠陥が、ある確率で必ず存在するという、いわゆる歩留りの問題があり、高密度に回路を集積しても、満足以動作する確率が極めて低いという問題がある。この点に関しては、

設計の際、冗長な論理回路を予めウエーハ上に配置しておき、プロセス段階で発生した欠陥を回避、救済する技術が検討されている。

【0005】他方、特開平2-181465号公報においては、あらかじめ良品検査の終了したLSIチップを複数個ウエーハ上に垂直に固定するなどして実装し、ウエーハとチップを合わせたシステムとして歩留りを向上させる、いわゆるハイブリッド型のウエーハ・スケール集積回路装置の実装構造が提案されている。この方法によれば、モジュール実装技術に比べて配線ピッチを微細化でき、実装効率を向上させることができるなどの点で有利である。

【0006】また他方、特開平3-69150号公報においては、あるLSI上に他の1個のLSIを搭載してボンディングするLSI実装構造が開示されている。この方法によれば、あるLSIとそれに搭載されたLSIとの間では、配線基板を介さずに接続可能であると同時に、LSI間の配線距離を短縮できるため、動作を高速化することができる。

【0007】次に、従来の大型汎用計算機システムについて考えると、計算機システムは、複数の命令処理装置(=IP)と、複数のシステム制御装置(=SC)と、1個の主記憶装置(=MS)、入出力制御装置(=IOP)及び入出力装置(=IO)から構成されている。各IPでは命令の実行が行なわれ、MSにはプログラムやデータが格納されている。IOPはIOとSCとの接続及びデータの転送の制御を行い、IOは、例えばディスクなどの大容量記憶装置や拡張記憶装置、コンソール端末装置などとの情報の入出力を行う。また、SCは、各IP、MS及びIOPの接続状態を制御し、各装置間でのデータの転送等の制御を行なう。比較的小規模な計算機システムにおいてはSCの機能をIPが分散して持っている場合もある。

【0008】IPは頻繁にMS上のデータを読み出したりMSへ書き込んだりするが、MSのデータ読み出しや書き込み速度は、IPの命令処理速度に比べて遅いので、今日では、通常、MSに比べて小容量であるが高速なデータの読み出しや書き込みの行えるキャッシュ記憶装置を設け、ここにMS上の一部のデータの写しを格納している。このキャッシュ記憶装置をIPやSCに設置した場合、それぞれバッファストレージ(=BS)、ワークストレージ(=WS)と呼ばれている。計算機システムの記憶方式として、BSとWSの両方設けるいわゆる3階層記憶方式と、BSのみ設けるいわゆる2階層記憶方式とがある。

【0009】IPの内部には、命令を読み出しデコードする命令処理回路(=IU)、BS及びそれを管理する回路からなるバッファ回路(=BU)、命令の実行を行なう演算回路(=EU)及びマイクロプログラムを格納している制御記憶回路(=CS)がある。

10

20

30

40

50

【0010】計算機システムにおける動作は通常次のように行なわれる。IPにおいて、IUは、その内部にあるプログラムカウンタの指示する命令をBSから読み出し命令をデコードし、命令のデコード結果の内容に従ってIUもしくはEU内にあるレジスタまたはBSよりオペランドを読み出す。次にEUは、読み出されたオペランドを用い命令のデコード結果に従って演算を行なう。この時、演算を行なうための制御情報としてCSからマイクロプログラムの読み出しを行なう。そして、演算の結果をレジスタもしくはBSに格納する。なお、プログラムカウンタは命令の実行毎に更新される。

【0011】IPは以上のような一連の動作を繰り返して命令を実行していく。今日の多くの計算機システムでは、この一連の動作をいくつかのステージに分割して、ある命令の1ステージが完了すれば次の命令のそのステージの実行を開始することにより、数命令をオーバーラップさせて順次実行している。これは命令パイプライン方式（先行制御方式）と呼ばれている。

【0012】ところで、IPは命令実行中に、命令とデータをBSに読み出しや書き込みのためにアクセスするが、アクセスした時に所望の命令やデータがBSにある（＝INBS）場合には上記のように命令実行が行われるが、BSにない（＝NIBS）場合には、命令実行は中断され、WSにブロック転送要求信号を出す。

【0013】このように、アクセスした時に所望の命令やデータがBSにない（NIBS）時やブロック転送要求に対する命令やデータが存在しない（NIWS）時には命令実行が中断されるために計算機システムの処理性能を低下させる。

【0014】

【発明が解決しようとする課題】LSI技術の進歩によるLSIチップの高集積化と、セラミック配線基板作成技術の向上によるセラミック配線基板の大型化、多層化により、モジュール当たりに搭載できる回路規模が増大している。

【0015】上記したモジュール実装においては、LSIチップ間での信号伝送（＝チップ渡り）を行う場合には、同一モジュール内にあるLSIチップ間であると信号は次のような配線経路をたどり、配線上の伝搬に要する時間が長くなる。

- 1) 出力バッファを経由する
- 2) LSIチップ外へ出て、半田バンプを通過する
- 3) セラミック配線基板の配線を伝搬する
- 4) LSIパッケージ外へ出て、半田バンプを通過する
- 5) セラミック配線基板の配線を伝搬する
- 6) 半田バンプを通過して、別のLSIパッケージ内へ入る
- 7) セラミック配線基板の配線を伝搬する
- 8) 半田バンプを通過してLSIチップ内へ入る
- 9) 入力バッファを経由する

さらに、同一ボード内において異なるモジュール内にあるLSIチップ間で、信号を伝送する場合には、上記5)の部分が以下になる。

- 5-1) セラミック基板の配線を伝搬する
- 5-2) モジュール外へ出て、入出力ピンを通過する
- 5-3) プリント基板の配線を伝搬する
- 5-4) 入出力ピンを通過して、モジュール内へ入る
- 5-5) セラミック基板の配線を伝搬する

これら1)から9)までに要される時間（＝チップ渡り時間）の長さは、LSIチップ内での信号の伝送される時間の最大値の数倍程度に相当し、また、チップ渡り時間の長さの内訳についてみれば、3)、5)、7)、5-1)、5-3)及び5-5)のような配線上の伝搬に要される時間は、入出力バッファ、半田バンプ及び入出力ピンの通過に要される時間と同程度である。配線上の伝搬に要される時間を小さくするためには、同一の実装技術の下では配線長を短くすることが最も効果的である。しかし、モジュール実装によって計算機システムを構成する場合には、LSIチップが配線基板上で平面的に配置されているために、LSIチップ間の距離によりLSIチップ間を接続する配線の配線長は決まり、さらに、このLSIチップ間の距離は、接続するLSIチップの個数、LSIチップ自体の寸法あるいはLSIパッケージの寸法により決定されるので、配線長の短縮には限界がある。これが本発明が解決しようとする第1の課題である。

【0016】ところで、モジュール当たりの回路規模の増大に伴い、モジュールから取り出す信号、または電源供給用の端子数をより増やしたいとの要求が強くなってきている。しかし、モジュール実装技術における端子のピッチは、セラミック基板との接続強度の都合上、あまり小さくすることはできない。このため、モジュール実装技術では、取り出し可能な端子数によって、実現しようとする装置の規模が決められてしまうという、いわゆるピンネックの問題が次第に大きくなってきている。この点は、例えば、複数の命令処理装置を持つ主記憶共有型の計算機システムにおけるシステム制御装置SCのように、他の装置からの信号線が集中するような装置の実装では、更に大きな問題となる。これが、本発明の解決しようとする第2の課題である。

【0017】また、一般に、信号伝送する場合、信号の立ち上がり、または立ち下がり時間と信号の反射波が送端に戻ってくるまでの時間では後者の方が長い場合、つまり、長距離の配線の場合には終端抵抗を用いて整合伝送する必要がある。モジュール実装技術では、LSI間を伝わる信号を整合伝送するため、各配線ごとに終端抵抗が必須であり、この終端抵抗によってかなり大きな電力が消費されるという問題がある。これが、本発明の解決しようとする第3の課題である。

【0018】一方、モジュール実装技術よりも、更に高

集積化を実現する技術として、ウエーハ・スケール集積回路技術が検討されている。例えば、4台のIPと、SC等を一つのウエーハ・スケール集積回路装置に集積することを想定する。この時、このウエーハ・スケール集積回路装置から取り出すべき信号端子は、少なくなり、上記のモジュール実装技術の場合に比べ、ピンネックの問題は大幅に緩和される。しかし、ウエーハ・スケール集積回路装置上の配線は、LSIチップ上の配線と比較して、配線距離の長い配線が多くなる。長距離の配線は、配線抵抗が大きくなり、配線抵抗と配線容量の積によって決まる伝送信号の遅延時間、つまり、配線遅延時間が増大する。よって、モジュール実装技術に比較して回路の性能が低下してしまうという問題がある。また、抵抗の大きい配線を給電に用いることによる電圧ドロップも問題となる。これが、本発明の解決しようとする第4の課題である。

【0019】また、従来のウエーハ・スケール集積回路装置では、冗長回路等によって歩留りを確保する工夫をした上で、LSIと同程度の素子の集積密度を得ようとするため、回路としての集積密度を上げることが困難であるという問題点がある。これが、本発明の解決しようとする第5の課題である。

【0020】ところで、計算機システムを構成した場合、命令実行中に起こるNIBS（アクセスした時に所望の命令やデータがない）やNIWS（転送要求時にワークストレージに命令やデータが存在しない）などが原因となる性能低下が問題となっている。このようなオーバヘッドに伴う性能低下を軽減させることが本発明の第6の課題である。

【0021】また、LSIチップの集積度により、IPを数チップから構成する場合にはIUやEUとBSやCSを別チップに構成することが多いが、その場合には、IUやEUからBSやCSへのアクセス時間が長いことにより計算機システムの処理性能が制限される。これが、本発明の解決しようとする第7の課題である。

【0022】

【課題を解決するための手段】上記第1・第2及び第3の課題を解決するために、本発明の半導体集積回路装置または計算機システムは、モジュール実装技術におけるセラミック配線基板の代わりに、能動素子を集積した大型LSIを用意し、この上にLSIチップを複数個搭載し、能動素子を介して相互に接続することによって構成される。

【0023】また、上記第4の課題を解決するために本発明の半導体集積回路装置における大型LSI上の配線は、単位長さ当たりの抵抗が低くなるように、つまり従来のLSI上の配線より厚くなるように構成される。またその厚い配線を形成する手段として、例えば、銅等の金属をめっき材料とするめっき工程が用いられる。

【0024】さらに、上記第5の課題を解決するために

本発明の半導体集積回路装置は、大型LSIに集積する回路素子数を、通常の1つのLSIに集積する回路素子数とほぼ同程度か、または少なくする。あるいは、配線幅、配線間隔に対する制限を緩める。

【0025】また、第6の課題を解決するために、3階層記憶方式の計算機システムを以下のように構成する。

IP（命令処理装置）1台を1個の上記LSIチップ内に構成し、WSをLSIチップ内に設置し、これらのLSIチップを上記大型LSIの主面上に搭載し、上記大型LSI内に、SC（システム制御装置）内の回路である調停回路・WAA・制御回路・RA・LCA・LKA・FLKA・FAA・EXA等を設置する。そして、WSからIPへデータを送る信号配線を大型LSI内に構成してその信号配線上にラッチを構成する（なお、各回路の詳細は実施例の中で述べる）。

【0026】また、第7の課題を解決するために、IPの構成方法として、1個のLSIチップ内にIUやEUを構成し、別のLSIチップ内にBSやCSを構成して、これらのLSIを上記大型のLSIの主面上に搭載し、BSやCSから命令処理装置IPへデータを送る信号配線を大型LSI内に構成してその信号配線上にラッチを構成する。

【0027】

【作用】上記大型LSIと上記LSIチップ間を、能動素子を介して電気的に接続した場合、これら2個のLSIの間での信号伝送は次のようになる。

- 1) 出力バッファを経由する
- 2) 半田バンプ等のピンを通過する
- 3) 入力バッファを経由する

つまり、モジュール実装の場合と比較して、配線基板上の配線を信号が伝搬することがない。このことにより、信号のチップ渡り時間は、モジュール実装の場合のチップ渡り時間の数分の1とすることができる。

【0028】また、大型LSI上に、LSIを搭載して接続することにより、その接する面に信号ピンを配置することができるため、例えば大型LSIの4辺での信号ピンの集中を緩和できる。

【0029】大型LSI上に集積される能動素子を用いて信号配線の途中にバッファやラッチ等を設けることができるので、伝達すべき配線の長さを整合伝送の必要が無くなるまで短くすることができる。よって、終端抵抗を無くすことができる。

【0030】一方、大型LSIに、LSIチップで用いられる配線よりも厚い配線を形成することにより、大型LSI上に低抵抗の配線を構成することができる。

【0031】また、大型LSIに集積する回路素子数を、1つのLSIの回路素子数とほぼ同程度か、それ以下にすることによって、大型LSIの歩留りを確保することができる。

【0032】従来のモジュール実装であれば、LSIチ

ップを搭載する基板には配線のみであったが、本発明では能動素子をも備えることにより、従来のIPとWS間の伝送路上に調停回路・WAA等を配置することができ、WSの起動が従来よりも高速に行え、またライン転送要求信号も高速に生成することができる。また、IPがSCへストア要求やRESETLOCKを行う場合、また、異なるIP間でのBSの内容及び異なるSCのWS間での内容の一致制御を行う場合についても同様に高速な処理を行うことができる。

【0033】また、大型LSI上に搭載されたLSIチップ間では、その配線を大型LSI内に構成することにより配線路上にラッチを構成することが可能となる。ラッチを構成することによりパイプライン伝送ができ、配線のスループットを向上させることができる。

【0034】また、IPをIUやEUを構成するLSIチップとBSやCSを構成する別のLSIチップを大型LSI上に搭載して両LSI間の信号線上にラッチを設けることにより、IUやEUとBS間の配線あるいはIUやEUとCS間の配線でパイプライン伝送ができ、IUやEUからBSやCSへのアクセス時間により計算機システムの性能が制限されるのを緩和することができ、また、配線のスループットを向上させることができる。

【0035】

【実施例】以下、図面を用い本発明を詳細に説明する。図1は、本発明における半導体集積回路装置の第1の実施例を示す概観図である。図2には、図1に示した半導体集積回路装置におけるA-A'部分での断面図を示す。

【0036】図において、1は複数のLSIチップを主面上に搭載できるような寸法の大型のLSI (=大型LSI) であって、内部に回路素子が形成されている。大型LSI 1は配線基板5上に搭載され、大型LSI内の回路素子と配線基板5に形成された配線とは、TAB (テープ・オートメーティッド・ボンディング) リード3により電気的に接続されている。また、大型LSI 1の主面上には、例えば6個のLSIチップ2イ・2ロ・2ハ・2ニ・2ホ・2ヘをフェイスダウンで搭載している。そして、大型LSI 1内の回路素子とLSIチップ2内の回路素子は、必要に応じて半田バンプ電極4により電気的に接続される。このような構造により、大型LSIとその上に搭載されたLSIチップとは、その間での信号伝送に要する時間は、通常のモジュール実装の場合のチップ間での信号伝送に要する時間の数分の1となる。

【0037】上記大型LSIと上記LSIチップ間を、半田バンプを用いて電気的に接続した場合、これら2個のLSIの間での信号伝送は次のようになる。

- 1) 出力バッファを経由する
- 2) 半田バンプ等のピンを通過する
- 3) 入力バッファを経由する

つまり、モジュール実装の場合と比較して、配線基板上の配線を信号が伝搬することがない。このことにより、信号のチップ渡り時間は、モジュール実装の場合のチップ渡り時間の数分の1とすることができる。

【0038】本実施例において、LSIチップ2イ・2ロ・2ハ・2ニ・2ホ・2ヘは、通常用いられるLSIチップであって、例えば寸法20mm角の集積回路素子である。また、大型LSI 1は、LSIチップ2イ・2ロ・2ハ・2ニ・2ホ・2ヘ等複数個搭載するため、例えば50mm×70mmといった大きな面積の主面を有する集積回路素子である。このため、大型LSIではピン数をLSIチップと比較して多くすることが可能である。また、本実施例ではLSIチップの数を例えば6個とするが、必ずしも6個に限定しない。

【0039】大型LSI 1には、1個のLSIチップ (例えば2イ) に集積される回路素子の数とほぼ同数、あるいは、それ以下の数の回路素子を集積する。集積回路素子上では欠陥が一様に分布するものと考えた場合、このように大型LSI 1に形成される回路素子の個数を制限することにより、大型LSI 1上の論理回路に不良が発生する確率を、LSIチップ2イ上の論理回路に不良が発生する確率に等しいか、またはそれ以下とすることができる。さらに、上述したように、大型LSI 1はLSIチップ2イの少なくとも2倍以上の面積を有するから、大型LSI 1の単位面積当りの回路素子数は、LSIチップ2イの単位面積当りの回路素子数よりも少ないものとなる。このため、大型LSI 1内に形成される配線の幅、または、間隔に対する制約をLSIチップ2イのそれよりも緩くすることができる。従って、本実施例における大型LSI 1では、大面積を有する半導体集積回路装置で問題となる歩留りを確保することができる。

【0040】さて、本実施例では、大型LSI 1として、上述したように例えば寸法50mm×70mmの集積回路を考えているが、このような大面積の半導体集積回路装置では、LSIチップ内の配線よりも長距離の配線、即ち、従来のセラミック配線基板やプリント配線基板に形成されてきたような、例えば、LSIチップ2イ〜2ヘの対角線の長さよりも長い配線が必要になる。

【0041】通常、LSIチップ内に形成される配線は、微細なアルミニウム配線であり、セラミック配線基板やプリント配線基板に形成される配線と比較して単位長さあたりの配線抵抗が大きい。従って、従来のように、微細なアルミニウム配線を用いて大型LSI 1上の長距離配線を構成すると、その配線抵抗は、セラミック配線基板やプリント配線基板の配線抵抗より大きなものとなる。さらに、伝送遅延時間は配線抵抗と配線容量の積によって決まるため、微細なアルミニウム配線では伝送遅延時間も増えることになる。よって、大型LSI 1内の配線として、従来の微細なアルミニウム配線のみを

用いると、大型LSI内に形成される論理回路の性能が、LSIチップ2内に形成される論理回路、またはモジュール実装技術による論理回路の性能よりも低下してしまう。

【0042】このような問題点を改善するために本実施例では、例えば、配線材料として銅等の金属を用いて厚さの厚い配線を大型LSIに形成する。銅配線はメッキ工程等を用いて形成できるため、数 μm 以上の厚い膜を形成することが可能であり、アルミニウム配線に比べて配線抵抗を格段に下げることができる。このような銅を用いた配線を、本明細書中では、厚膜銅配線とよぶ。厚膜銅配線を少なくとも1層以上設け、大型LSI上の長距離の配線を構成することにより、大型LSI内の長距離の配線を低抵抗化し、伝送遅延時間を短縮することができる。さらに、この厚膜銅配線を信号配線のみでなく、電源給電用に用いることによって効率的に電力を供給することもできる。

【0043】図3は、本発明の半導体集積回路装置の第2の実施例による半導体集積回路装置の断面の様子を示す模式図である。本実施例では、第1の実施例における大型LSI内に、LSIチップ相互の間を接続、切替を行うためのネットワーク論理回路が形成されている。101は、大型LSIに形成されたLSIチップの信号端子間を接続する信号配線である。信号配線101の適当な箇所にバッファ100が設けられており、例えば、LSIチップ2aからの出力信号は、大型LSI内に形成されたこのバッファ100により中継されてLSIチップ2bへ伝送される。

【0044】なお、バッファ100としては、例えば図4に示すようなC-MOS回路によって構成する。

【0045】従来のモジュール実装技術では図5に示すように、例えば、LSIチップ2cから出力された信号は、セラミック配線基板上の信号配線101を経由してLSIチップ2dへ伝送される。このような信号の伝送は、配線端における反射の影響をなくすため整合伝送によって行なわれる。通常、整合伝送では、終端抵抗102が必要となる。終端抵抗102そのものは信号の反射を防ぐ重要な部品であるが、基板上の信号配線101の電位がゼロ以外で定常状態にあるときは、終端抵抗によって信号伝送とは無関係に無駄な電力が消費されることになる。

【0046】これに対して、本実施例によれば、バッファ100によって、LSIチップ2a、2b間の信号配線101を反射による悪影響が無くなるまで短く分割でき、LSIチップ間の信号配線に整合伝送を用いる必要がなくなる。このため、終端抵抗における無駄な電力の消費をなくすことができ、半導体集積回路装置の消費電力を低減することができる。ここで、信号配線を「反射による悪影響が無くなるまで短くする」とは、つまり、信号の立ち上がり、または立ち下がり時間より、信号の

反射波が送端に戻って来るまでの時間の方が短くなるように信号配線を短くすることをいう。

【0047】図6は、図3のようにバッファを用いた本発明の伝送方法と、図5のような単なる配線による従来の伝送方法の伝達遅延時間を比較したシミュレーション結果の一例を示すものである。なお、シミュレーション条件は次のとおりである。

0.3 μm ルールCMOS LSI

p型FETのソースドレイン間電流: 7.5mA

n型FETのソースドレイン間電流: 3.8mA

配線抵抗: 15 Ω/mm

配線容量: 0.22pF/mm

図6によれば、図3における2aから2bまでの配線の長さが約15mm以上ならば、バッファを用いて伝送する方がより高速であることが明らかである。

【0048】図7は、本発明の半導体集積回路装置の第3の実施例による半導体集積回路装置の断面の様子を示す模式図である。

【0049】本実施例では、例えば、大型LSI内に形成された信号配線101によりLSIチップ2eの出力信号をLSIチップ2fに伝送する。信号配線101の途中には、バッファ100、ラッチ103などを配置している。ラッチ103には、やはり、大型LSIに形成されたクロック分配配線104からクロック信号が供給されている。

【0050】LSIチップ2eからの出力信号は、ラッチ103に入力され、大型LSI内のクロック分配配線104から供給されるクロック信号に同期してラッチされる。そして、ラッチ103の出力は、LSIチップ2fへ入力される。LSIチップ2e内に形成された出力信号をラッチするための出力ラッチ（図示せず）、LSIチップ2f内に形成された入力信号を受けるラッチ（図示せず）、及び、ラッチ103とはクロック分配配線104により分配されるクロック信号により同期して動作するようになっている。このように、信号伝送路上にラッチ103を配置することにより、いわゆるパイプライン伝送が可能になる。LSIチップ2eから2fへの伝送路をラッチ103により分割するため、1クロックの間に、ラッチにより分割された伝送路の一区間分の距離のみを信号伝送すればよい。本実施例では、1個のラッチ103により伝送路を2つに分割しているが、大型LSI内の伝送路上にラッチを複数段設けて一区間分の距離をさらに短くすることも可能である。伝送路上の一区間の距離を短くすることにより周期の短いクロック信号を用いて信号伝送をすることができるようになる。

【0051】これに対し、従来のモジュール実装では、例えば、図4におけるLSIチップ2cから2dまでの伝送路を1クロックで伝送しなければならず、従ってクロックの周期を短くすることが難しい。

【0052】なお、図1から図3及び図7では省略してあるが、LSIチップの発熱が問題となる場合には、LSIチップ2イ〜への背面（半田バンプを形成する面の反対側の面）に、冷却用フィンもしくは水冷用構造体等を取付けることになる。

【0053】さらに、以上のような半導体集積回路装置を適用したシステムの一例として、互いに主記憶を共有する複数の命令処理装置からなるマルチプロセッサ型の汎用計算機システムを考える。図8には、このようなマルチプロセッサ型の汎用計算機システムの構成の一例を示す。図において、1000は命令処理装置（IP）、1001はシステム制御装置の論理回路部分、1002はキャッシュ・メモリー装置、1003は主記憶装置、1004は入出力装置である。なお、入出力装置は入出力制御装置を介してシステム制御と接続されている場合もある。

【0054】まず、各装置の説明をする。命令処理装置1000は、主記憶装置1003から命令とデータを読み出し、命令を解釈、実行し、その結果変更を受けたデータを主記憶装置に戻すという動作を繰り返す。キャッシュ・メモリー装置1002は、主記憶装置1003よりも高速にアクセス可能なメモリーであり、主記憶装置1003内の一部の写しを保持している。命令処理装置1000は、主記憶装置1003を直接アクセスせずにキャッシュ・メモリー装置1002をアクセスする。これにより、主記憶装置1003へのアクセスを見かけ上高速化することができる。

【0055】システム制御装置の論理回路部分1001は、各命令処理装置1000とキャッシュ・メモリー装置1002、入出力装置1004間の接続状態を制御し、アクセス順序の制御を行う。また、キャッシュ・メモリー装置1002と、主記憶装置1003との内容の交換及び内容の一致制御も行う。主記憶装置1003は、命令処理装置1000で処理される命令及びデータを蓄える。入出力装置1004は、例えばディスクなどの大容量記憶装置や拡張記憶装置、コンソール端末装置などとの情報の入出力を行う。

【0056】本実施例では、例えば実施例1で説明した大型LSI1にシステム制御装置の論理回路部分1001とキャッシュ・メモリー装置1002を集積し、1個のLSIチップ2（以下でLSIチップ2イ〜を区別する必要のない場合には、単にLSIチップと呼ぶことにする。）を用いて1台の命令処理装置1000を構成し、4個のLSIチップ2を大型LSI1に搭載して接続することで、上記のマルチプロセッサ型の汎用計算機システムの命令処理装置1000と、システム制御装置の論理回路部分1001と、キャッシュ・メモリー装置1002を構成する。このようにして構成した半導体集積回路装置と、主記憶装置1003、入出力装置1004などを組み合わせて、互いに主記憶を共有する複数の

命令処理装置からなるマルチプロセッサ型の汎用計算機システムを構成する。さらに、このような汎用計算機システムを複数用意し、各々のシステム制御装置の論理回路部分1001間を接続することにより、より多数の命令処理装置からなるマルチプロセッサ型の汎用計算機システムを実現することもできる。

【0057】ところで、システム制御装置の論理回路部分1001には、命令処理装置1000、主記憶装置1003、入出力装置1004、他のシステム制御装置などからの多数の信号線が集中する。このような性質のため、システム制御装置を集積化して実現する場合には、いかに大量の信号ピンを取り出すか、ということが問題となる。

【0058】本発明では、命令処理装置1000をLSIチップ2で構成し、これをシステム制御装置の論理回路部分1001を集積した大型LSI1上に搭載する。この構成により、LSIチップ2と、大型LSI1との接続に、例えば半田バンプ電極を用いるフェイスダウン法を適用することが可能になり、大型LSI1とLSIチップ2とが向かい合う面に信号ピンを配置することができ、このため、大型LSI1の4辺に設ける信号ピンは、主記憶装置1003、入出力装置1004への接続に必要なものに限ることができ、4辺における信号ピンの集中を緩和することが可能になる。従って、上に述べたような信号ピン数の制限によるシステム全体の規模に対する制限が緩和されることになる。

【0059】また、大型LSI1にシステム制御装置の論理回路部分1001を集積し、1個のLSIチップ2あたりに1台の命令処理装置1000を構成し、さらに、少なくとも1個以上のLSIチップ2によりキャッシュ・メモリー装置1002を構成し、以上の全てのLSIチップ2を大型LSI1に搭載して接続する半導体集積回路装置を構成する。なお、キャッシュ・メモリー装置1002の一部を大型LSI1内に集積してもよい。

【0060】このような半導体集積回路装置と、主記憶装置1003、入出力装置1004などを組み合わせ、互いに主記憶を共有する複数の命令処理装置からなるマルチプロセッサ型の汎用計算機システムを構成する。さらに、第1の構成例と同様に、上記汎用計算機システムを複数接続することにより、より多数の命令処理装置からなるマルチプロセッサ型の汎用計算機システムを実現することもできる。このような構成をとることによって、大型LSI1に集積する回路の量を減らすことができ、大型LSI1の歩留りを向上させることができる。

【0061】また、本発明を適用した汎用計算機システムの構成方法として、大型LSI1にシステム制御装置の論理回路部分1001とキャッシュ・メモリー装置1002を集積し、2個以上のLSIチップ2を大型LSI

10

20

30

40

50

11に搭載して接続する半導体集積回路を構成し、さらに、この半導体集積回路装置と、主記憶装置1003、入出力装置1004などを組み合わせて、互いに主記憶を共有する複数の命令処理装置からなるマルチプロセッサ型の汎用計算機システムを構成する。さらに、前記した構成例と同様に、上記汎用計算機システムを複数接続することにより、より多数の命令処理装置からなるマルチプロセッサ型の汎用計算機システムを実現することもできる。このような構成によって、1台の命令処理装置1000が2個以上のLSIチップで構成される場合にも

【0062】さらに、汎用計算機システムの構成方法として、大型LSI1にシステム制御装置の論理回路部分1001を集積し、2個以上のLSIチップ2により構成する命令処理装置1000を少なくとも1台以上用意し、少なくとも1個以上のLSIチップ2によりキャッシュ・メモリ装置1002を構成し、以上の全てのLSIチップ2を大型LSI1に搭載して接続する半導体集積回路装置を構成し、さらに、この半導体集積回路装置と、主記憶装置1003、入出力装置1004などを

【0063】このような構成によって、1台の命令処理装置1000が2個以上のLSIチップで構成される場合にも対応することができる。また、大型LSI1内に集積する回路の量を減らすことができ、大型LSI1の歩留りを向上させることができる。

【0064】次に、図8に示した半導体集積回路装置を適用した計算機システムの例に関して、より詳細に説明する。すなわち、互いに主記憶を共有する複数の命令処理装置からなるマルチプロセッサ型の計算機システムを取り上げ、その実装方法を図面を用いて説明する。

【0065】まず、図9を用いて、第1の実装方法を説明する。半導体集積回路装置の第1の実施例で説明した大型LSI1に、SC2000内の回路の内WSを除いた回路部分（以降では、SC論理部分と呼ぶことにする）を集積し、1個のLSIチップあたりに1台のIPを構成し、さらに、少なくとも1個以上のLSIチップによりWS2050を構成し、以上の全てのLSIチップを大型LSI1に搭載して接続する半導体集積回路装置を構成する。なお、WS2050の回路の一部を大型LSI1内に集積しても良い。

【0066】例えば、図9に示すようにIPおよびSC

010~2013（2011~2013は図示せず）、WAA2020、RA2021、LCA2022、EXA2023、LKA2030、FLKA2031、調停回路2040及び制御回路2041を、大型LSI1内に設置し、4台のIP1000・1100・1200・1300を、それぞれLSIチップ2イ・2ロ・2ハ・2ニ内に構成し、WS2050を、2個のLSIチップ2ホ・2ヘ内に設置する。そして、6個のLSIチップ2イ・2ロ・2ハ・2ニ・2ホ・2ヘは大型LSI1上に搭載されている。LSIチップと大型LSI間では半田バンプ4により電氣的に接続されており1クロック周期で信号伝送ができるようになっている。また、大型LSI内に、WS2050・BS1043間の命令及びデータの伝送信号配線を大型LSI内に形成し、必要ならばその信号配線上にラッチ103aを形成する。

【0067】ここで、SC内部の各回路の説明をする。調停回路とは、複数の命令処理装置からシステム制御装置へ送られてくる処理要求信号を受け付け一時的に蓄えて、複数の未処理の処理要求信号を蓄えている場合にはあらかじめ決まっている優先度に従うなどして1個の処理要求信号を選択し適切な処理要求信号を生成し適切な回路装置に送り出す回路である。また、WAAとは、キャッシュ・ディレクトリ記憶装置ワーク・ストレージ・アドレス・アレイのことである。また、制御回路とは、主にシステム制御装置内の制御を行う回路である。また、RAとは、リプレースメント・アレイのことで、ワーク・ストレージ上のデータを主記憶上の別のデータと入れ替えを行う場合にワーク・ストレージ上のどのデータと入れ替えを行うべきかを決定するために用いる情報を格納している記憶装置である。また、LCAとは、ライン・チェンジビット・アレイのことで、ワーク・ストレージ上のデータが変更されたかどうかを判定するために用いる情報を格納している記憶装置である。

【0068】また、LKAとは、ロック・アレイのことで、ある命令処理装置が主記憶上のあるデータ領域への他の命令処理装置のアクセスを禁止するアドレスを格納している記憶装置である。また、FLKAとは、フロント・ロック・アレイのことで、他のシステム制御装置に接続されている命令処理装置が主記憶上のあるデータ領域への命令処理装置のアクセスを禁止するアドレスを格納している記憶装置である。また、FAAとは、フロント・アドレス・アレイのことで、あるデータが命令処理装置内にあるキャッシュ記憶装置バッファ・ストレージ上に存在するかどうかを決定するために用いる情報を格納している記憶装置とデータが存在する命令処理装置にブロック無効化要求信号を送る回路装置とを有する装置である。また、EXAとは、イクスクルーシブビット・アレイのことで、あるデータが他のシステム制御装置内のワーク・ストレージ上、あるいは他のシステム制御装置に接続されている命令処理装置内のバッファ・ストレージ上

に存在するかどうかを決定するために用いる情報を格納している記憶装置である。

【0069】このような半導体集積回路装置と、MS3000やIOP4000とをTAB3や基板上の配線を介して接続するなどして、互いに主記憶を共有する複数の命令処理装置からなるマルチプロセッサ型の計算機システムを構成する。また、上記半導体集積回路装置をTAB3や基板上の配線を介して複数接続することにより、より多数の命令処理装置からなるマルチプロセッサ型の計算機システムを実現することもできる。

【0070】SC論理部分には、IP1000・1100・1200・1300、WS2050、MS3000、IOP4000、他のSC2100などからの多数の信号線が集中する。このようなことから、SCを例えば1個のLSIチップに集積化して実現する場合には、そのLSIチップに大量の信号ピンを構成することが必要となる。

【0071】ところが、大型LSIに集積して構成することを考えた場合、大型LSIと、このような大型LSIを搭載する基板との接続にフリップチップ接続を用いたフェイスダウン法は適用できない。なぜなら、大型LSIは通常用いられるLSIの数倍以上の面積を有するため、熱膨張に起因して半田バンプ電極にかかるひずみが大きく、半田バンプが破壊される可能性が高いからである。このため、大型LSIからは、ワイヤー・ボンディングまたはTAB等によってその4辺からしか信号ピンを取り出すことができない。上記第Iの実装方法の様にSC論理部分を大型のLSIチップによって実現すると、このように取り出し可能な信号ピン数の上限によって、SC2000に接続できる他の装置の数や規模が制限されてしまう。

【0072】本発明では、IP1000・1100・1200・1300をLSIチップ2イ・2ロ・2ハ・2ニで構成し、さらに、WS2050をLSIチップ2ホ・2ヘで構成し、これらのLSIチップをSC論理部分を集積した大型LSI1上に搭載する。この構成により、LSIチップ2イ・2ロ・2ハ・2ニと、大型LSI1との接続に、例えば半田バンプ電極を用いるフェイスダウン法を適用することが可能になり、大型LSI1とLSIチップ2イ〜2ヘとが向いあう面に信号ピンを配置することができる。このため、大型LSI1の4辺に設ける信号ピンは、SC2100、MS3000、IOP4000への接続に必要なものに限ることができ、4辺における信号ピンの集中を緩和することが可能になる。従って、上に述べたような信号ピン数の制限によるシステム全体の規模に対する制限が緩和されることになる。

【0073】次に、本実装方法の効果をより明確にするために、本実装方法のLSIと集積度及び配線・ゲート遅延に関して同一のチップ性能を持つLSIチップのみ

を用いて、従来方式のモジュール実装した場合についての実装方法及びその動作を述べることにする。

【0074】図17及び18に、LSIチップのみを用いてモジュール実装した場合の従来方式の計算機システムの実装方法を示す。本発明で用いる大型LSI1とLSIチップ2イ〜2ヘは集積度が同程度であるので、モジュール実装においてそれぞれLSIチップ5001とLSIチップ5002〜5007となる（上で述べたように、SC論理部分を構成するLSIにはピン数が多く必要なため、単に大型LSIをLSIチップに置き換えられない場合が考えられるが、ここでは大型LSIと同程度のピン数を形成できると仮定する）。すなわち、図17を用いて説明すると、IP1000・1100・1200・1300をそれぞれLSIチップ5002・5003・5004・5005内に構成し、SC論理部分をLSIチップ5001内に構成し、WS2050をLSIチップ5006・5007内に構成する。図18にIPの内部及びSC論理部分の内部について詳細に示す（但し、IP01やWS1、また、FAA2011〜2013は省略している）。これらのLSIチップ5001〜5007は、セラミック配線基板等の、配線と抵抗のみが構成されている配線基板上に搭載されており、図9中にあるラッチ103aは形成できない。LSIチップと配線基板とは、半田バンプ等のピンで電氣的に接続されている。このモジュール実装においてチップ渡りに要する時間は、上記「作用」で述べたように、本実施例での大型LSIとLSIチップの間でのチップ渡り時間の数倍となり、ここでは2クロック周期であるとする。

【0075】次に、図19〜21に示したタイムチャートと図18の計算機システムの構成を用いてモジュール実装の場合の具体的な動作を説明する。

【0076】最初に、図19を用いて読み出し及び書き込みの場合の動作について説明する。まず読み出しの場合について説明する。IP1000でデータあるいは命令の読み出し動作中にNIBSであると、IP1000を構成する5002からSC論理部分を構成するLSIチップ5001にブロック転送要求信号が送られる。このブロック転送要求はチップ渡りをするので、2クロック周期要して、SC論理部分のLSIチップ5001に到達し、調停回路2040に入る。調停回路2040は、他のIPからの様々な要求信号との調停を行い、その結果1〜数クロック周期後には当該ブロック転送要求信号を選択する（以下では、最短の1クロック周期後に選択されたとする）。選択されると直ちに制御回路2041にブロック転送要求信号が送られ、制御回路2041はLKA2030・FLKA2031により当該データのアドレスが他IPによりアクセスが禁止されている（＝ロックされている）アドレスと一致するか否か検索し、また、WAA2020により当該データがWS2050に存在するか否か検索する。各検索結果に基づいて

制御回路2041は以下の動作を制御する。

【0077】当該データのアドレスがロックされている場合には、ロックが解除されるまでは後続の処理は行わない。

【0078】または、ロックされていないINWSの場合には、制御回路2041は、当該データを含むラインが同一カラム中の他のラインよりも後にアクセスされたことを示すようにRA2021の更新を行ない、WS2050を構成するLSIチップ5006・5007にブロック転送要求信号を出す。このブロック転送要求信号はチップ渡りをするので、WS2050を構成するLSIチップ5006・5007に2クロック周期後に到達する。そして、WS2050はBS1043へブロック転送を行ない、ブロック転送動作は完了する。

【0079】または、ロックされていないNIWSの場合には、制御回路2041はMS3000へライン転送要求信号を出し、また、RA2021を検索して、当該ラインを書き込もうとするカラム上にあるラインの内、最も長い間アクセスされていないラインを決定し

(LRUアルゴリズム)、同時にLCA2022を検索してWS2050上のそのラインに書き込みがなされている場合には、MS3000への書き戻しを行う。そして、MS3000からライン転送されてきたデータをWS2050は、WS2050内のRAM内に格納する。一方、制御回路2041は、WS2050を構成するLSIチップ5006・5007にライン転送されてきたラインのアドレスの登録をWAA2020に行ない、LCA2022には転送されてくるラインに書き込みがなされていないことを示すように更新を行ない、また、RA2021には転送されてくるラインが最も最近アクセスされたことを示すように更新を行なう。その後、WS2050は、IP1000が所望するブロックを、BS1043のあるLSIチップ5002へブロック転送を行ない、ブロック転送動作は完了する。

【0080】なお、読み出しがSETLOCK付きの読み出しであった場合には、上記動作で、INWS時ならば制御回路2041がWSへブロック転送要求信号を送る時点、あるいは、NIWSならば制御回路2041がMSへライン転送要求信号を送る時点で、制御回路2041はLKA2030へ当該ブロックのアドレスを登録する。

【0081】以上の動作から、IP1000を構成するLSIチップ5002よりブロック転送要求信号が送り出されてから、WS2050を構成するLSIチップ5006・5007へブロック転送要求信号が到着するまでに、信号のチップ渡りの4クロック周期を含む7クロック周期が費やされ、また、ライン転送要求信号を生成するまでに、信号のチップ渡りの2クロック周期を含む5クロック周期が費やされる。

【0082】同様に、書き込みの場合について説明す

る。IP1000を構成するLSIチップ5002がWS2050を構成するLSIチップ5006・5007上のデータを書き替えるストア要求信号を出した場合には次のようになる。すなわち、IP1000を構成するLSIチップ5002より送り出されたストア要求信号は、チップ渡りをするので、2クロック周期を経た後にSC論理部分を構成するLSIチップ5001に到達し調停回路2040に入る。調停回路2040は、当該ストア要求信号を選択すると直ちに制御回路2041にストア要求信号に送る。そうすると制御回路2041は、LKA2030・FLKA2031・WAA2020を検索し、その結果に基づき制御回路2041は以下のように制御を行なう。

【0083】ロックされていればロックが解除されるまで後続の処理は行わない。また、ロックされていないINWSならばWS2050を構成するLSIチップ5006・5007にストア要求信号を出す。このストア要求信号は、チップ渡りをするので2クロック周期を経てWS2050を構成するLSIチップ5006・5007へ到達する。そして、WS2050はデータの書き込みを行なう。一方、制御回路2041は、RA2021を当該ラインが最も最近アクセスされたことを示すように更新し、また、LCA2022を当該ラインに書き込みが行なわれたことを示すように更新し、ストア動作は完了する。

【0084】または、ロックされていないNIWSならば、制御回路2041はライン転送要求信号を生成してMS3000へ送り、RA2021を検索して置き換えるラインを決定し、LCA2022を検索して置き換えるラインに書き込みが行なわれている場合にはMS3000へ書き戻しを行なう。そして、MS3000からのライン転送後、WS2050はデータの書き込みを行い、ストア動作は完了する。

【0085】従って、IP1000を構成するLSIチップ5002よりストア要求信号が送り出されてから、WS2050を構成するLSIチップ5006・5007にストア要求信号が到着するまでに、信号のチップ渡りの4クロック周期を含む7クロック周期が費やされる。そして、ストア要求信号が送り出されてからライン転送要求信号を生成するまでに2クロック周期を含む5クロック周期が費やされる。

【0086】次に図20を用いてキャッシュ間一致制御を行なう場合の動作を説明する。ストアを行なう際には、キャッシュ間一致制御を行なうために、他のBS内あるいは他のSC内のWS内に同一データの写しが存在する場合にはそれを無効化する必要がある。そこで、SC2000にて上記のストア動作が行なわれる時に、まず、調停回路2010はFAA1~3・2011~2013とEXA2023を検索する。その結果、例えば、FAA1・2011に当該データが登録されていればF

AA1・2011は当該データの登録を無効化し、データが存在するBSを持つIPであるIP01・1100へ無効化要求信号を出す。そして、その無効化要求信号を受け取ったIP1・1100はBS内の当該データの登録を無効化する。また、調停回路2010はEXA2023を検索し、当該ラインのイクスクルーシブ・ビット=0であった場合、つまり、他のSC2100内のWSあるいは他のSC2100に接続されているIP1400~1700内のBSに当該データが存在する場合には制御回路2041は、他のSC2100へ無効化要求信号を送り、EXA2023の当該ラインのイクスクルーシブ・ビットを1にセットする。そして、無効化要求信号を受け取ったSC2100は、WS内の当該ラインを無効化し、IP1400~1700内のBS上のブロックについても上記と同様にして無効化が行なわれる。【0087】従って、IP1000を構成するLSIチップ5002からストア要求信号が送り出されてから、無効化要求信号を生成するまでに、信号のチップ渡りの4クロック周期を含む7クロック周期が費やされ、さらに、無効化信号が同じSCに接続されている他のIPに到達するまでにチップ渡りに2クロック周期費やされる。

【0088】次に図21を用いて、ロックをリセットするRESETLOCKでの動作について説明する。IP1000がRESETLOCKを行う場合、RESETLOCK信号はチップ渡りをするので2クロック周期を経た後に調停回路2040に到達する。調停回路2040でRESETLOCK信号が選択されると、制御回路2041はLKAに登録されている当該アドレスを無効化し、完了信号をRESETLOCK信号の発信元であるIP1000へ完了信号を送る。この完了信号は、チップ渡りをするので2クロック周期後にIP1000に到達し、RESETLOCK動作は完了する。

【0089】従って、IPがRESETLOCK信号を出してから、完了信号を受け取るまでに、信号のチップ渡りの4クロック周期を含む6クロック周期が費やされる。

【0090】以上が、モジュール実装した場合の動作である。次に、本発明の実装方法による1実装例についての動作を図10~13のタイムチャートを用いて説明する。動作の大半は、上記モジュール実装の場合の動作と同じであるので、本発明の特徴的な部分についてのみ述べる。

【0091】図10には読み出し及び書き込みの動作のタイムチャートが示されているが、読み出しの場合では、IP00・1000を構成するLSIチップ2イからブロック転送要求信号が出されてから、WS0・2050を構成するLSIチップ2ホ・2ヘにブロック転送要求信号の到着するまでに、信号のチップ渡りの2クロック周期を含む5クロック周期が費やされ、あるいは、

ライン転送要求信号を生成するまでに、信号のチップ渡りの1クロック周期を含む4クロック周期が費やされる。また、図13には、WS0・2050からBS1043へのブロック転送時のタイムチャートが示されている。図9に示されるように、WS2050とBS1043間の伝送信号配線S1上には、ラッチ103aが構成されており、このことにより、ブロック転送時には、図13に示すように、信号配線S1でのデータの伝送を1クロックづつ区切ることができる。従来のモジュール実装では、このようなラッチ103aが構成できないために、2クロック周期毎に伝送し、スループットを大きくするためにWSとIPとの間の配線が多くなったり、WSとBS間の配線遅延のためにクロック周期が長くなり、計算機システムの処理性能が低下したりした。

【0092】また、書き込みの場合には、IP00・1000を構成するLSIチップ2イよりストア要求信号が送り出されてから、WS2050を構成するLSIチップ2ホ・2ヘにストア要求信号が到着するまでに、信号のチップ渡りの2クロック周期を含む5クロック周期が費やされる。そして、ストア要求信号が送り出されてからライン転送要求信号を生成するまでに1クロック周期を含む4クロック周期が費やされる。

【0093】また、図11に示すように、キャッシュ間一致制御を行なう際には、IP00・1000を構成するLSIチップ2イからストア要求信号が送り出されてから、無効化要求信号を生成するまでに、信号のチップ渡りの2クロック周期を含む5クロック周期が費やされるのみであり、さらに、無効化信号が同じSCに接続されている他のIPに到達するまでにチップ渡りに1クロック周期費やされるのみである。

【0094】また、図12に示すように、RESETLOCKを行う場合、IPがRESETLOCK命令を出してから完了信号を受け取るまでに、信号のチップ渡りの2クロック周期を含む4クロック周期しか費やされない。

【0095】以上、第1の実装方法に基づく1実装例における動作を説明した。以上より明らかなように、各動作において、信号がチップ渡りに費やす時間がモジュール実装の場合と比較して2分の1になっており、したがって、本発明には計算機システムとしての動作を高速化する効果がある。

【0096】また、WS2050とBS1040間でのデータ伝送配線上にラッチ103aを置くことにより、パイプライン伝送を行なうことができる。ここでは、LSIチップと大型LSI間でのチップ渡り時間が、同じチップ性能のLSIを用いたモジュール実装でのチップ渡り時間の数分の1になることを利用して、IPとSCの制御回路（調停回路・WAAやLKA等）の間、あるいは、WSとSCの制御回路（調停回路・WAAやLKA等）の間の信号伝送を高速化している。したがって、

上記第1の実装方法に基づく実装例においてチップ渡り時間を1クロック周期としたこと、また、WAAやLK A等の特定の制御方法（例えばLRUアルゴリズム、キャッシュ間の一致制御方法、BSとWS間ではストアスルー方式を、またWSとMS間ではストアイン方式を用いたこと等）が本発明の効果を限定するものではない。

【0097】また、大型LSI内の配線上に1個のラッチを形成しているが、ラッチの個数は必要に応じ複数でも本発明の効果は本質的に変わらず得られるし、従来のようにラッチを形成しない構成方法も可能である。また、SCの回路の一部を複数のLSIチップ内に構成し、その間の信号線を大型LSI内に形成し、その信号線上にラッチを設けパイプライン伝送を行っても同様に本発明の効果を得ることができる。また、第1の実装方法に基づく実装例では3階層記憶方式の計算機システムを構成したが、2階層記憶方式の計算機システムにおいても上記した中のいくつかの動作（キャッシュ間一致制御及びRESETLOCK）で同様に効果がある。

【0098】次に、計算機システムの第2の実装方法を説明する。第1の実装方法では、WS2050を2個のLSIチップ2ホ・2ヘに設置したが、ここではWS2050を大型LSI内に設置する。すなわち、大型LSI1にSC2000を集積し、4個のLSIチップ2イ・2ロ・2ハ・2ニを用いて、それぞれ1台のIP1000・1100・1200・1300を構成し、これらを大型LSI1に搭載して電気的に接続することで、マルチプロセッサ型の計算機システムの命令処理装置とシステム制御装置を構成する。例えば、図14に示すように構成する。ここで用いた半導体集積回路装置は、図1に示した半導体集積回路装置と同様のものであるが、大型LSIの主面上には4個のLSIチップを搭載している。そして、このようにして構成した半導体集積回路装置と、別途用意したMS3000・IOP4000・IO4100などを組み合わせて、互いに主記憶を共有する複数の命令処理装置からなるマルチプロセッサ型の計算機システムを構成する。さらに、このような計算機システムを複数用意し、各々のSC間を接続することにより、より多数の命令処理装置からなるマルチプロセッサ型の計算機システムを実現することもできる。

【0099】上記第1の実装方法と比較して、第2の実装方法ではWS2050を大型LSI内に設置することにより、大型LSIの主面上に形成するピン数を少なくすることができる。しかし、大型LSIの集積度が大きくなるため、歩留りが低下する可能性がある。

【0100】また、図14に示すような構成をとることにより、WSとSC論理部分の間とWSとIPとの間での信号伝送が高速にできるようになる。調停回路2040とWS2050との間、制御回路2041とWS2050との間、IPとWSとの間の信号の伝送は高速になり、第1の実装方法での1実装例ではそれぞれ1、1、

2クロック周期要していたところが、それぞれ0、0、1クロック周期となり、第1の実装方法での1実装例で述べた動作それぞれについて高速化することができる。例えば、IP00・1000からブロック転送要求信号が出された場合、INWS時に、制御回路から出されたWSへのブロック転送要求信号により、直ちにWS2050は起動され、WS2050から読み出されたデータは、1クロック周期後にIP00・1000に到達する（したがって、図9のラッチ103aのような、WS0・2050からBS1043へのデータ転送用の信号配線上の中間ラッチは不必要となる）。

【0101】次に、本発明を適用した計算機システムの第3・第4の実装方法を説明する。まず、第3の実装方法では、大型LSI1にSC論理部分を集積し、2個以上のLSIチップにより構成するIPを少なくとも1台以上用意し、少なくとも1個以上のLSIチップによりWS2050を構成し、以上の全てのLSIチップを大型LSI1に搭載して接続する半導体集積回路装置を構成し、さらに、この半導体集積回路装置と、MS3000、IOP4000などを組み合わせて、互いに主記憶を共有する複数の命令処理装置からなるマルチプロセッサ型の計算機システムを構成することができる。なお、WS2050の回路の一部を大型LSI1内に集積しても良い。さらに、第1・第2の実装方法と同様、上記計算機システムを複数接続することにより、より多数の命令処理装置からなるマルチプロセッサ型の計算機システムを実現することもできる。

【0102】また、第4の実装方法としては、大型LSI1にSC2000を集積し、2個以上のLSIチップにより構成するIPを少なくとも1台以上用意し、これら複数のLSIチップを大型LSI1に搭載して接続する半導体集積回路装置を構成し、さらに、この半導体集積回路装置と、MS3000、IOP4000などを組み合わせて、互いに主記憶を共有する複数の命令処理装置からなるマルチプロセッサ型の計算機システムを構成する。さらに、第1・第2・第3の実装方法と同様に、上記計算機システムを複数接続することにより、より多数の命令処理装置からなるマルチプロセッサ型の計算機システムを実現することもできる。

【0103】本発明では、このような実装方法によって、1台のIPが2個以上のLSIチップで構成される場合にも対応することができる。第3の実装方法では、第4の実装方法と比較して、WS2050を大型LSI内に設置しない分、大型LSIに集積する回路数を少なくすることができ歩留りを向上させることができる。

【0104】第3及び第4の実装方法は、例えば図15に示すように構成する。IP00は、IU1010・EU1020・CS1030を1個のLSIチップ2イ内に構成し、BU1040を別の1個のLSIチップ2ロ内に構成し、大型LSI1内では、信号配線S2・S3

・S4・S5・S6上にそれぞれラッチ103e・103f・103c・103d・103bを構成する。また、IP01についてもLSIチップ2ハ・2ニを用いて同様に構成する(回路は図示せず)。SCの構成方法については、例えば、第1の実装方法の例のようにWS2050をLSIチップに設置したり(第3の実装方法)、第2の実装方法の例のようにSCの回路全てを大型LSI内に構成してもよい(第4の実装方法)。但し、以下では、SCの構成方法と動作については第1及び第2の実装方法で説明したので、IP内で行なわれる動作についてのみ説明する。この例では2台のIPが1台のSCに接続されている実装例を示し、ここで用いた半導体集積回路装置は、図1に示した半導体集積回路装置と同様のものであるが、大型LSIの主面上には4個のLSIチップを搭載している。

【0105】図15のように構成された計算機システムでの命令実行は、例えば図16のようなパイプラインステージの構成をとることが可能である。図15と図16を用いて各ステージでの動作について説明する。

【0106】「命令読み出し」ステージはいくつかの小ステージからなり、まず、「命令アドレス計算」小ステージでは、IU1010が、IU1010内にあるプログラムカウンタにセットされている値から、読み出す命令のアドレスを生成し、そのアドレスが命令読み出し要求信号とともに、アドレスと命令読み出し要求信号とをラッチ103eにセットする。次に「命令アドレス転送」小ステージでは、ラッチ103eにセットされたアドレスが、TLB1041・BAA1042・BS1043・BU制御回路1044に送られ、さらにBU制御回路1044には命令読み出し要求信号も送られる。次に「BSアクセス」小ステージでは、BU制御回路1044が、TLB1041・BAA1042・BS1043を検索し、その結果に基づいて、もしINBSであれば、読み出された命令をラッチ103fにセットする。次に「命令転送」小ステージでは、IU1010が、ラッチ103fにセットされた命令をIU1010内にある命令バッファに格納する(NIBSであれば、IPはブロック転送要求信号をSCに送る。また、命令読み出し方式として、1回の読み出し毎に数命令を読み出し、IU1010内にある命令バッファに格納するといった方式があり、このような方式であれば、1命令毎に命令読み出しを行なう必要はない)。

【0107】「デコード」ステージでは、IU1010が、プログラムカウンタによって指定される命令バッファから命令を読み出し、デコードする。

【0108】「オペランド読み出し」ステージもいくつかの小ステージからなり、まず、「オペランドアドレス計算」ステージでは、IU1010が、命令のデコード結果に従ってオペランドアドレスを計算し(但し、命令によってはオペランドがレジスタを指定する場合もある

が、ここではMS上のデータを指定する場合についての動作を述べる)、このアドレスとオペランド読み出し要求信号をラッチ103cにセットする。次に「オペランドアドレス転送」小ステージでは、ラッチ103cにセットされたアドレスが、TLB1041・BAA1042・BS1043に送られ、BU制御回路1044にはオペランド読み出し要求信号とともに送られる。次に「BSアクセス」小ステージでは、BU制御回路1044が、TLB1041・BAA1042・BS1043を検索し、その結果に基づいて、もしINBSであれば、読み出されたデータをラッチ103dにセットする(NIBSであれば、IPはブロック転送要求信号をSCに送る)。次に「オペランド転送」小ステージでは、ラッチ103dにセットされたデータを、EU1020内にあるワークレジスタに転送される。

【0109】「実行」ステージでは、EU1020が、ワークレジスタにセットされたデータを、デコードされた命令に従ってEU1020内にある演算器を用いて演算を行なう。演算は命令により数ステージ要することがある。そして、その演算結果を、MSへ書き込む命令であれば、結果であるデータをラッチ103bにセットし、命令フィールドのオペランド指定部分から書き込みアドレスと書き込み要求信号をラッチ103cにセットする(但し、命令が格納先がレジスタであるような命令の場合には、IU1010にあるレジスタへの書き込みが行なわれて、命令の実行は完了する)。

【0110】「書き込み」ステージはいくつかの小ステージからなる。まず、「書き込みデータ転送」小ステージでは、ラッチ103bにセットされたデータがBS1043に送られ、103cにセットされたアドレスがTLB1041・BAA1042・BS1043に送られ、アドレスと書き込み要求信号はBU制御回路1044に送られる。「BAA検索」小ステージでは、BU制御回路1044が、TLB1041・BAA1042を検索し、その結果に従って、INBSかどうか判定する。もしINBSであれば、「BSアクセス」小ステージでは、BU制御回路1044により書き込み用データがBS1043に書き込まれる。(NIBSであれば、ブロック転送要求信号が生成される。また、BSへの書き込みに伴ってWSやMS等への書き込み要求信号をSC等にも送る場合もある。)以上のようなパイプライン構成において、モジュール実装ではチップ渡りとなる配線上に、本実装方法の例では中間ラッチを構成することにより、基本的には1ステージ毎に次の命令の実行を開始させることが可能となる。また、中間ラッチは必要に応じ、配線上に複数個形成することもできる。モジュール実装であれば、このような中間ラッチ構成することができないために、例えば2ステージ毎に次の命令の実行を開始するとか、あるいはチップ渡りの配線を2倍にして1ステージ毎に交互に切り換えて信号の伝送を行なうな

どの対策が必要となり、前者では処理性能を低下させるであろうし、後者では制御が複雑になり配線及びピンを増大させることになる。なお、NIBS時は、ライン転送動作中は命令パイプラインの実行が中断されるが、それ以外には上記ステージの動作には影響を与えない。ライン転送動作は計算機システムの第1あるいは第2の実装方法での1実装例で述べた場合の動作と同様であるのでここでは述べないことにする。

【0111】また、上記ではIP1台当たり1個のBSを用い、命令とデータを混在させて格納している。このために、命令の読み出し、オペランドの読み出しや書き込みで、BSへのアクセスが競合することがある。この場合、あらかじめ決まっている優先度によって逐次に処理されることになる。しかし、今日では命令用のBSとデータ用のBSの2個のBSを構成することが多い。こうすることによって、命令読み出しとオペランド読み出し・書き込みとが競合するのを避けることができる。本実装方法の1実装例での上記構成にこういった構成方法を適用させることは容易である。

【0112】また、このようにBS1043をIU1010やEU1020とは別のLSIチップ内に構成する以外に、CS1030を別のLSIチップで構成する方法がある。CS1030についても、BS1020と同様に、大型LSIの配線の上にラッチを設けることにより、パイプライン伝送を行うことで同様の効果を得ることができる。

【0113】また、第3・4の実装方法において、IPの回路の一部を大型LSI内に構成する実装方法がある。例えば、IU1010やEU1020をLSIチップ内に構成し、そのLSIチップを搭載した大型LSI内にBS1043あるいはCS1030を構成する。こうすることにより、第3・4の実装方法の例と比較して、BS1043やCS1030へのアクセスを高速化させることができ、例えば、BS読み出しあるいはCS読み出しの際のパイプラインのステージ数を削減することができる。そして、1個のLSIでIPを構成する場合と比較して、歩留りを向上させることができる。

【0114】すでに述べたことから明らかなように、本発明では、計算機システムの構成要素例えばシステム制御装置を大型LSI1またはLSIチップ2の上に実装する種々の形態が考えられる。

【0115】例えば計算機システムにおけるシステム制御装置が、キャッシュ記憶装置ワーク・ストレージと、複数の上記命令処理装置から上記システム制御装置へ送られてくる処理要求信号を受け付け一時的に蓄えて複数の未処理の処理要求信号を蓄えている場合にはあらかじめ決まっている優先度に従うなどして1個の該処理要求信号を選択し適切な処理要求信号を生成し適切な回路装置に送り出す調停回路と、該ワーク・ストレージ中に上記主記憶上のデータの写しが格納されているかどうかの情報

を格納しているキャッシュ・ディレクトリ記憶装置ワーク・ストレージ・アドレス・アレイと、該ワーク・ストレージ上のデータを該主記憶上の別のデータと入れ替えを行う場合に該ワーク・ストレージ上のどのデータと入れ替えを行うべきかを決定するために用いる情報を格納している記憶装置リプレースメント・アレイと、該ワーク・ストレージ上のデータが変更されたかどうかを判定するために用いる情報を格納している記憶装置ライン・チェンジビット・アレイと、ある該命令処理装置が該主記憶上のあるデータ領域への他の上記命令処理装置のアクセスを禁止するアドレスを格納している記憶装置ロック・アレイと、他の上記システム制御装置に接続されている上記命令処理装置が該主記憶上のあるデータ領域への該命令処理装置のアクセスを禁止するアドレスを格納している記憶装置フロント・ロック・アレイと、あるデータが該命令処理装置内にあるキャッシュ記憶装置バッファ・ストレージ上に存在するかどうかを決定するために用いる情報を格納している記憶装置とデータが存在する該命令処理装置にブロック無効化要求信号を送る回路装置とを有する装置フロント・アドレス・アレイと、あるデータが他の上記システム制御装置内のワーク・ストレージ上あるいは他の該システム制御装置に接続されている上記命令処理装置内のバッファ・ストレージ上に存在するかどうかを決定するために用いる情報を格納している記憶装置イクスクルーシブビット・アレイと、様々な該回路装置からの信号を受け付けそれに基づき適切な制御を主に該システム制御装置内の記憶装置及び回路装置に対して行う制御回路、の内の少なくとも1つまたは全部から構成されるようにしてもよい。

【0116】あるいは、上記計算機システムにおける上記ワーク・ストレージと、上記調停回路と、上記ワーク・ストレージ・アドレス・アレイと、上記リプレースメント・アレイと、上記ライン・チェンジビット・アレイと、上記ロック・アレイと、上記フロント・ロック・アレイと、上記フロント・アドレス・アレイと、上記イクスクルーシブビット・アレイと、上記制御回路の内少なくとも1つを上記第2の半導体集積回路装置に実装してもよい。

【0117】

【発明の効果】本発明によれば、大型LSI上に搭載されているLSIチップ同士での信号伝送において信号のチップ渡り時間を大幅に減少させることができ、大型LSIとLSIチップ間での信号伝送が高速に行なえる。さらに、このような実装技術を用いて、命令処理装置からシステム制御装置への信号の伝送を高速化することができ、計算機システム全体としての処理性能を向上させることができる。

【0118】また、ピンネックの問題を解決し、計算機システムのシステム制御装置のように、取り出すことのできる信号ピン数によって装置の規模が制限されてしま

うような大規模な装置のコンパクト化を実現することができる。

【図面の簡単な説明】

【図1】本発明による半導体集積回路装置の一実施例を示す概観図である。

【図2】図1の集積回路装置のA-A'部分における断面図である。

【図3】本発明の第2の実施例による半導体集積回路装置の断面の様子を示す模式図である。

【図4】図3の実施例におけるバッファの一例を示す図である。

【図5】従来のモジュール実装技術におけるLSI間の信号伝送の様子を示す断面図である。

【図6】図3に示す本発明と従来方式の効果を比較した図である。

【図7】本発明の第3の実施例による半導体集積回路装置の断面の様子を示す模式図である。

【図8】本発明によるマルチプロセッサ型の計算機システムの構成例を示すブロック図である。

【図9】本発明による計算機システムの実装方法の1実施例を示すブロック図である。

【図10】図9の1実施例についての読み出し(NIBS)及び書き込み時の動作を示すタイムチャートである。

【図11】図9の実装例についてのFAA/BAA/WAA内の登録の無効化動作を示すタイムチャートである。

【図12】図9の実装方法の1実施例についてのRESET LOCK時の動作を示すタイムチャートである。

【図13】図9の実装方法の1実施例についてのWSからBSへのブロック転送時の動作を示すタイムチャートである。

【図14】本発明による計算機システムの他の実装方法の1実施例を示すブロック図である。

【図15】本発明による計算機システムの他の実装方法の1実施例を示すブロック図である。

*

*【図16】図15の実装例におけるパイプラインステージを示す図である。

【図17】従来のモジュール実装を用い、かつ、図9の実装例で用いたLSIチップと同じ集積度のLSIチップを用いて構成した計算機システムの構成例の概観を示すブロック図である。

【図18】図17の従来の計算機システムの構成例の詳細を示すブロック図である。

【図19】図18に示した計算機システムの読み出し(NIBS)及び書き込み時の動作を示すタイムチャートである。

【図20】図18に示した計算機システムのFAA/BAA/WAA内の登録の無効化動作を示すタイムチャートである。

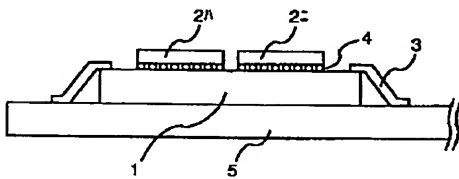
【図21】図18に示した計算機システムのRESET LOCK時の動作を示すタイムチャートである。

【符号の説明】

1…大型LSI、2イ・2ロ・2ハ・2ニ・2ホ・2ヘ…LSIチップ、3…TABリード、4…半田バンプ電極、5…セラミック配線基板、100…バッファ、101…配線、102…終端抵抗、103…ラッチ、104…クロック分配配線、1000・1100・1200・1300・1400・1500・1600・1700…命令処理装置、1001…システム制御装置の論理回路部分、1002…キャッシュ・メモリ装置、1003…主記憶装置、1004…入出力装置、1010…IU、1020…EU、1030…CS、1040…BU、1041…TLB、1042…BAA、1043…BS、1044…BU制御回路、2010・2012…FAA、2020…WAA、2021…RA、2022…LCA、2023…EXA、2030…LKA、2031…FLKA、2041…制御回路、2050…WS、2000…システム制御装置、3000…主記憶装置、S1～6…信号配線、103a・b・c・d・e・f…中間ラッチ、5001～5007…LSIチップ、5009…配線基板。

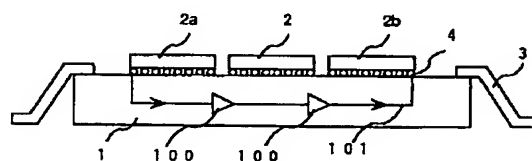
【図2】

図2



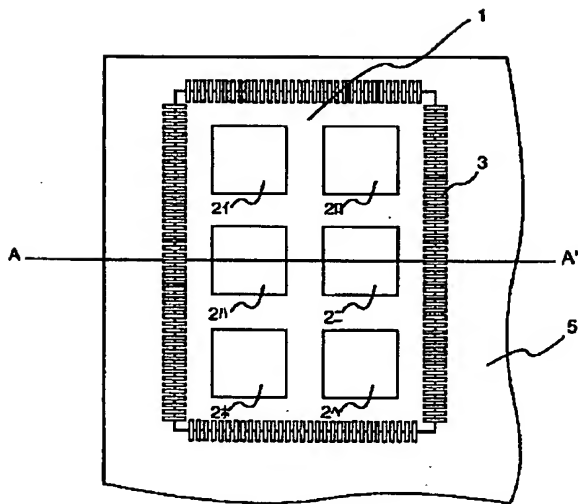
【図3】

図3



【図1】

図1



【図5】

図5

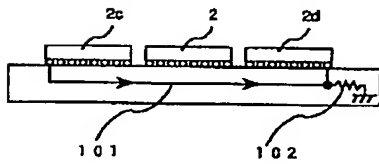
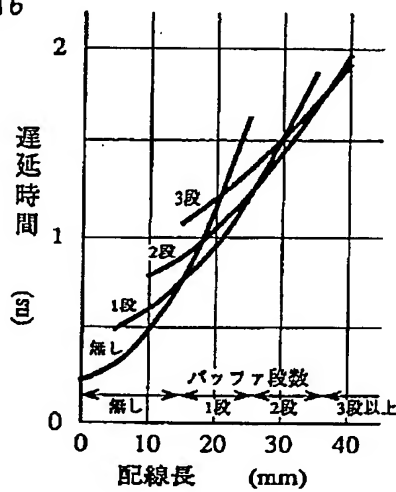
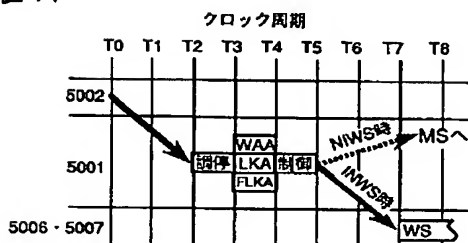


図6



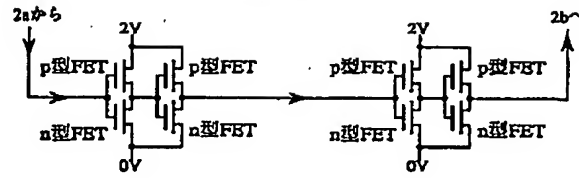
【図19】

図19



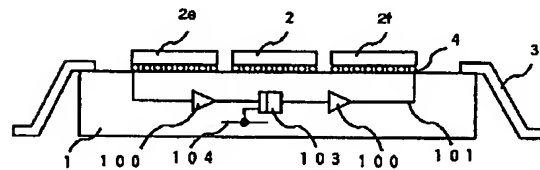
【図4】

図4



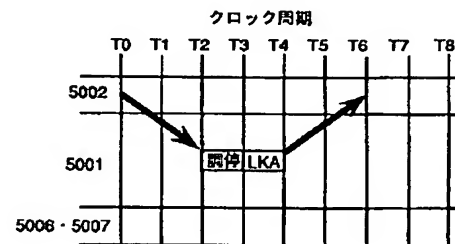
【図7】

図7



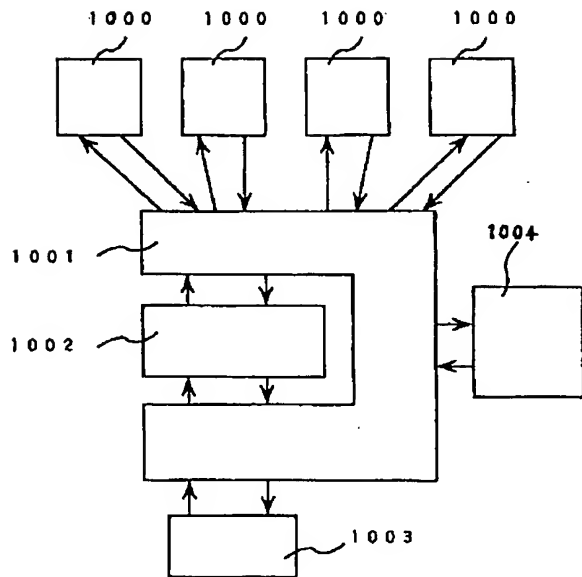
【図21】

図21



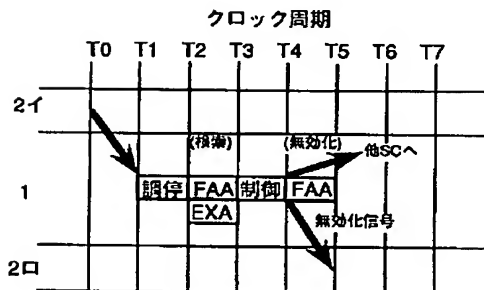
【図8】

図 8



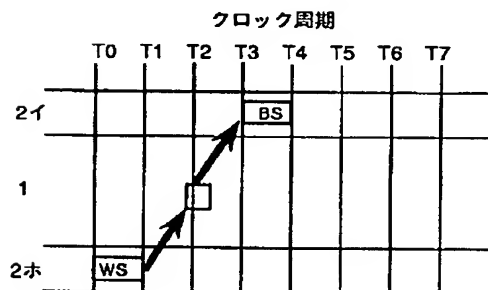
【図11】

図 11



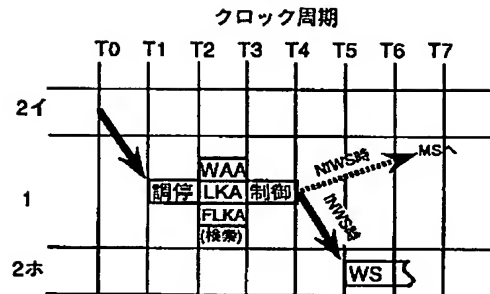
【図13】

図 13



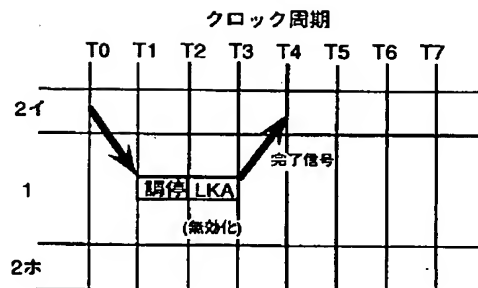
【図10】

図 10



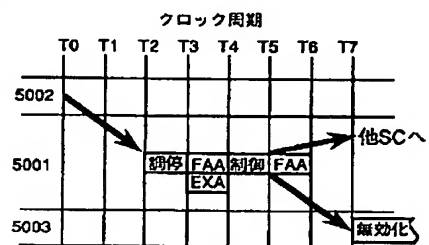
【図12】

図 12

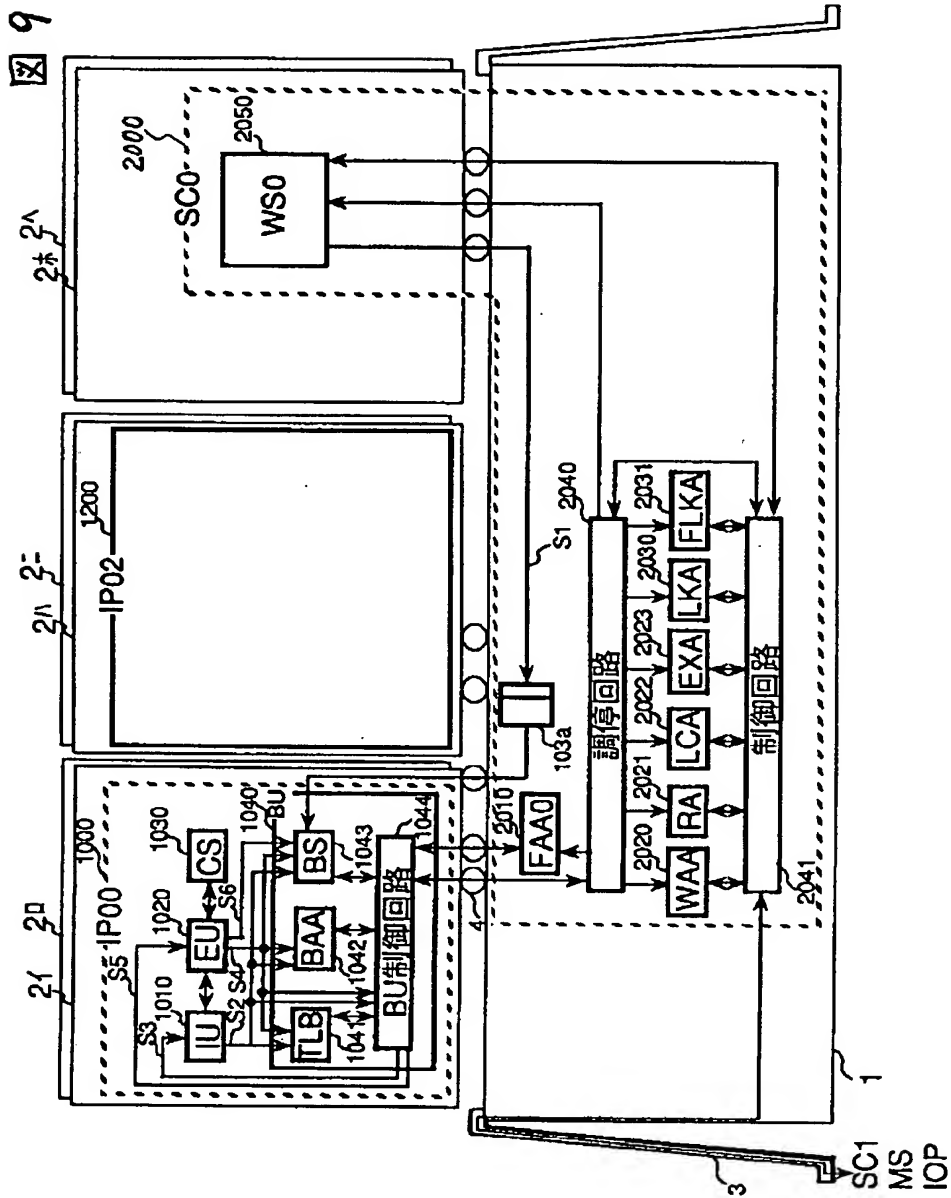


【図20】

図20

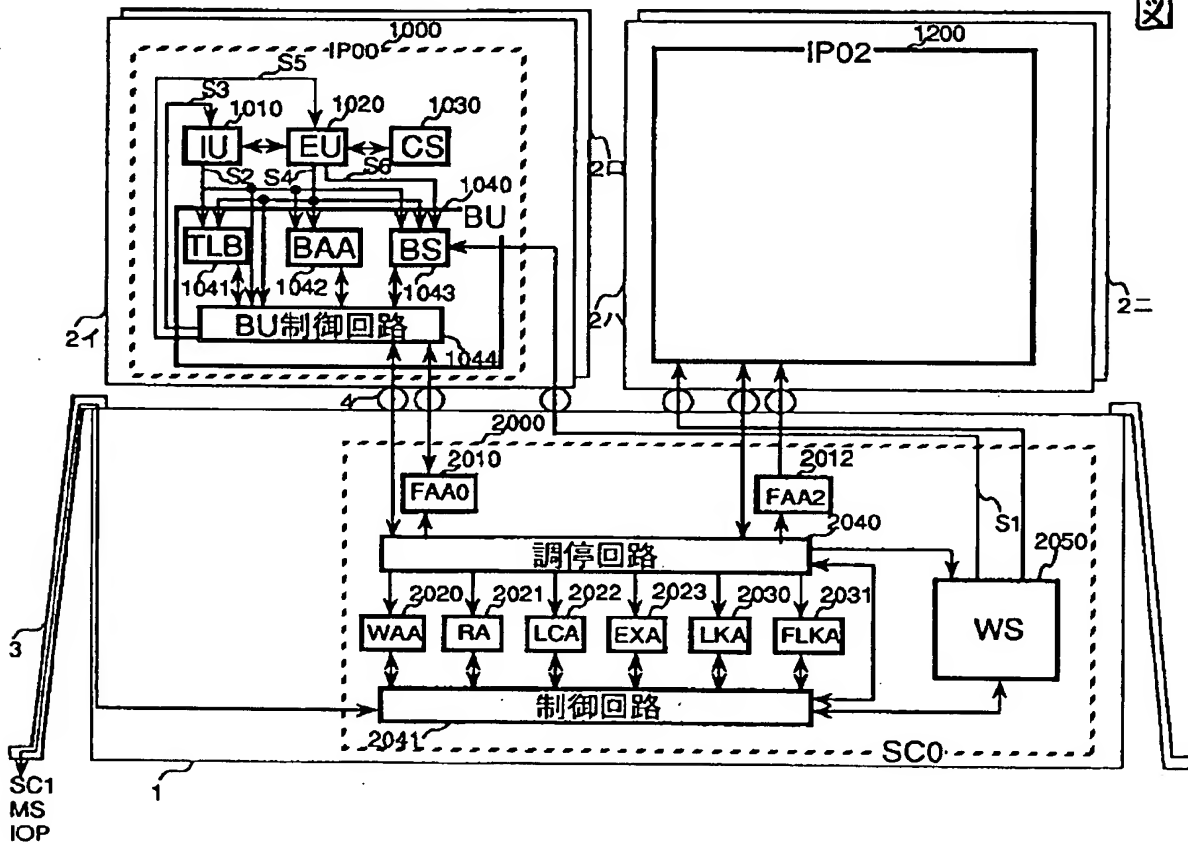


【図9】



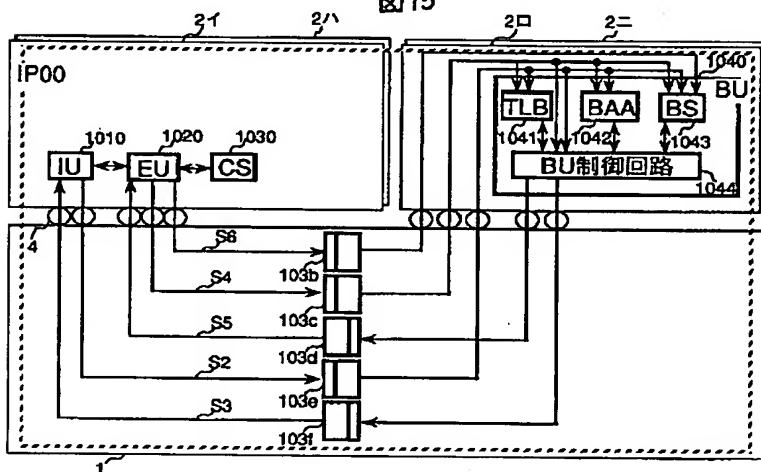
【図14】

図14



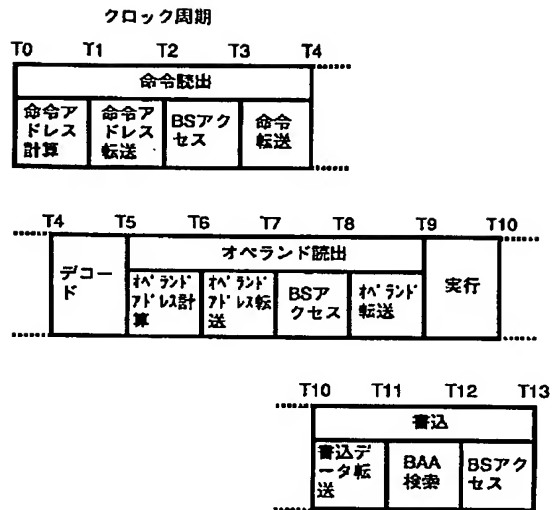
【図15】

図15



【図16】

図 16



【図17】

図 17

